This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11) Publication number:

06-332583

(43) Date of publication of application: 02.12.1994

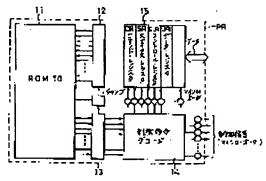
(51)Int.CI.	G06F G06F G06F	1/26 1/32 1/04
(21)Application number : 05	5-122976 (71)Applicant : SHARP CORP
(22)Date of filing: 25	5.05.1993 (72)Inventor: YOSHIDA YUKIHIRO

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PROCESSOR WITH THE POWER CONTROLLER, AND POWER MANAGEMENT SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To control the power of a digital electronic equipment by a logic system means by providing a control means which decodes the encoded power management instruction and outputs a control signal based on the decoded power management instruction.

CONSTITUTION: A program storage section 11 outputs an instruction program written in a ROM 10 based on the micro order from a control instruction decoder 14. An address counter 12 accesses to the ROM 10 and a control instruction register 13 stores the instruction program written in the ROM 10. The control instruction decoder 14 decodes the instruction stored in the register 13 and outputs the micro order to an I/O controller and a register group 15. The register group 15 is provided with a register storing the instruction and data of power management to be given to the individual control part PR of the CPU and the instruction and data of power



management which is given to the individual instruction control part PR for I/O controller.

(12) 公開特許公報(4) (18) 日本国本部(1 P)

(11) 春年田田公園寺中

(43)公開日 平成6年(1994)12月2日	1. 日 日 日 日 日 日 日 日 日 日	7165-5B 7165-5B GO6F 1/00 334 H 7165-5B 332 B 1165-6B 332 B 卷金数次 未開決 解砂弧の振ち OL (会 45 A) 法移資に購ぐ
	美別記号 广内集阻参号	801 C 7165-5B 7165-5B 7165-6B
	BENERA	301 C

8 8 8

G06P

(51) lot Q.

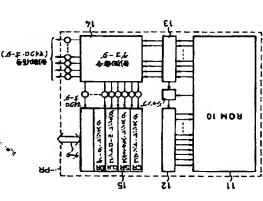
大阪府大阪市阿倍野区長旭町20番2号 大概使大阪市阿伯斯区 最格可容差纪号 (A14) ヤーン株式会社内 シャーン林内の女 **被田田** 6000000 700年四人 (1) 出版人 (72) 知明 平成5年(1993)5月26日 **李重平5-12297**8 (21) 田麗尊中 (22) 出版日

ψ,

デンタル電子機器用電力解解装置、放電力解解設置を備えた処理技器、及び政処理設置を借えた デジタル電子機器用電力管理システム (54) (SREEO &)

(67) (現地)

【構成】 符合化された電力マネージメント命令を復身 して配位すると共に信号された魅力マネージメント命令 [目的] システム全体の消費電力を低減でき、自由度 に 据るい ト 慰 節 信 中 生 出 力 ナ る 即 神 手 段 か 偏 大 た い る 。 が高いデジタル電子機器用電力管理装置を提供する。



ていることを特徴とするデジタル電子機器用電力制御装 **資券して記憶すると共に当該資券された電力マネージメ** ント命令に基づいて的物笛号を出力する的御手段を備え 【糖水項1】 符合化された電力マネージメント命令を |存件観状の範囲|

【精水項2】 電源を所定のモードに数定して当該数定 されたモードに基づいて入出力を慰御して消費電力を抵 貸することを特徴とする前水項1に配敷のデジタル電子 機器用電力制御装置を備えた処理装置。

【請求項3】 請求項2に配敵の処理装置の複数の電力 を所定の方法により制御してシステム全体の消費権力を 低減することを特徴とするデジタル電子機器用電力管理 システム。

タにより電源またはクロック周波数を倒物して魅力消費 【観吹風4】 外部に設けられたマイクロ・コンドュー を低減させることを特徴とする請求項1に配載のデジタ ル電子機器用電力制御装置を備えた処理装置。

ステムの魅力消費を低減することを特徴とするデジタル 【請求項5】 請求項1に配銭のデジタル電子機器用電 ジタル電子機器用電力飼御装置がシステムを構成する中 部に備えられており、核デジタル電子機器用電力制御数 質の数複数のプログラム命令に基ろいて数中央処理設置 及び談各種人出力コントローラの魅力慰御を行って終シ カ制御装置が複数のプログラム命令を有しており、紋デ 央処廻数配及び各種入出カコントローヲの全てまたは一 電子機器用電力管理システム。

[発明の詳細な説明] [0001] [産業上の利用分野] 本発明は、デジタル電子機器に適 用できる電力制御装置、萩電力制御装置を備えた処理装 置、及び核処理装置を備えたデジタル電子機器用の電力 管理システムに関する。

[0002]

ジタル電子機器では、大きさの小型化が遊むと共に電池 【筑珠の技術】一覧に、パーンナルコンアコータΦのデ 駆動の要求が多く、消費権力を衝めて小さへたきるシス アムの開発が強んに研究されている。

段で消費電力を下げることができるシステムを体験する システム設計によって消費電力を減らすという論理的手 に、システムを得成している半導体デバイスの低消費権 カ化という物理的手段で消費電力を下げるだけでなく、 【0003】 谷に、消費電力を振めて小さくするため ことが困敗になってきている。

[0004] 通常、デジタル電子機器は、それぞれが固 配位装置 (メモリ、パッファ等) によってシステム様成 (CPU) 、各種入出力(1/O) コントローラ、及び 有のゲータ処理機能の砂性を有している中央処理装置 されており、従来のデジタル電子機器用電力管理装置

は、1つのパワーコントローラによりCPU、各種1/

ロコントローラ、及び配信装置への能力供給を倒御する 気中パワーマネージメント方式を用いている。

【発用が解決しようとする観題】しかしながら、上述し た従来のデジタル電子機器用電力管型投置では、CPU 卸することができず、無駄な鬼力を消費してしまうとい インブットアウトブット・システム (BIOS) による スワートギージメントサポートを用いているのも自由政 や各種1/0コントローラの亀力(パワー)を悩々に刻 う問題点がわった。また、従来のデジタル電子機器用電 力管理装置では、ハードウエアに依存する部分とそうで システム (08) のプログラムを形成するペイシック・ ない部分とにモジュール分置されたオペワーアィング が低いという問題点があった。

ル粒子機器用電力管理装置における問題点に鑑み、簡單 【0007】また、本発明の第2の目的は、魅力を悩み 的システム手段によりデジタル電子機器の電力を即御で **きろゲジタル電子複器用電力回筒数値も結供することに** に動物できる上記デジタル電子機器用電力制御装置を領 【0006】本発明の第1の目的は、上記征来のデジタ

ル電子機器用電力制御投資を備えたデジタル電子機器を えたCPUや各種+/Oコントローラ等の処理数量を扱 に倒御してシステム会体の指数側力を抵減でき、自由度 【0008】更に、本発明の第3の目的は、上記デジタ 構成するCPUや各種I/Oコントローラの電力を倒々 が高いデジタル電子機器用電力管理システムを撤供する 女ナることにわる。

ことにある。 [6000]

制御信号を出力する制御手段を備えているデジタル電子 符合化された無力マネージメント命令を復歩して配値す ちと状に彼かされた鳥力をネージメント命むに払んさい 【親固を解決するための手段】本発明の第1の目的は、

ドに数定して数定されたキードに基づいて入出力を即仰 して消費電力を低減するデジタル電子機器用電力制御数 【0010】本発明の第2の目的は、観点を所定のモー 母器用電力制御数値によって類成される。

[0011] 本発明の第3の目的は、処型披置の複数の 鬼力を所定の方法により制御してシステム全体の消費電 力を低減するデジタル電子機器用電力管理システムによ 間を強えた処型数層によって激成される。

イクロ・コンピュータにより偏級またはクロック周徴数 を刨卸して魅力消費を低減させるように構成されてもよ [0012] 本発明の処理装置は、外部に設けられたマ って潜収される。

【0013】本発明のデジタル電子機器用電力管理シス グラム命令を有しており、デジタル電子機器用電力制御 テムは、デジタル電子機器用電力制御数配が複数のプロ

3

.......

基ろいて中央処理装置及び各種入出カコントローラの電 **返回がシステムを構成する中央処理装配及び各種入出力** コントローラの全てまたは一部に個えられており、ゲジ タル電子機器用電力制御装置の複数のプログラム命令に 力制御を行ってシステムの電力消費を低減するように得 成されてもよい。

後少して配位すると共に復与された性力やネージメント は、関御手段は符合化された魅力マネージメント命令を [作用] 本発明のデジタル電子機器用電力耐御装置で 命令に挑んされ恵館后ゆか五七十る。 [0014]

【0015】本発明のデジタル電子機器用電力制御装置 を備えた処理装置は、電板を所定のモードに散定して散 **定されたモードに払づいて入出力を制御して消費配力を**

アムは、処理装置の複数の電力を所定の方法により制御 【0016】本発明のデジタル電子機器用電力管理シス してシステム全体の消費電力を抵放する。

[0017] 本発明の処理装置は、外部に設けられたマ イクロ・コンピュータにより電板またはクロック周被数 【0018】本発明のデジタル電子機器用電力管理シス を助卸して属力指数を成成する。

アムは、システムを構成する中央処理装置及び各種入出 ジタル電子機器用電力制御装置の複数のプログラム命令 に基づいて中央処理装置及び各種入出カコントローラの カコントローラの金てまたは一部に備えられており、デ 成力制御を行ってシステムの魅力消費を低減する。 [0019]

[英施例] 以下、図面を参照して本発明のデジタル電子 **島器用電力制御装置、康デジタル電子機器用電力制御装** 置を備えた処理装置、及び鉄処理装置の実施例を詳細に

【0020】図1は、第1発明のデジタル電子機器用電 わ劇御装屋の創御手段である個別制御部PRの一英施例 04成を示すプロック図である。

配位部11に接続されておりROM10に書き込まれた命令 仮成されており即即命令レジスタ13に記憶された命令を デュードして制御信号(マイクロオーダ)を出力する制 即命令デューダ14、制御命令デコーダ14に後続されてお リンステムの亀板投入時にパワーセネージメントの命令 [0021] 図1の個別包御部 BRは、リードオンリメ **ラム配位部11、プログラム配位部11に投税されておりR** OM10をアクセスするアドレスカウンタ12、プログラム を配像する制御命会レジスタ13、制御命令レジスタ13に 及びゲータを配位して処理するレジスタ・グループ15に モリ (ROM) 10に告き込まれた命令を出力するプログ たった 糖成されている。

PU) または各入出力 (1/0) コントローラにそれぞ 715は、個別制御部PRが接続される中央処理装置 (C [0022] 慰御命令デコーダ14及びレジスタ・グルー

れ接続されている。制御命合デコーダ14は、CPUまた は各1/0コントローラとゲータの投資を行い、レジス タグループ16は、CPUまたは各1/Oコントローラを **切割するためのマイクロオーダをCPUまたは各1/O** コントローラに出力する。

ペントの割込によって、個別制御部PR、CPU及び各 1 / 0コントローラの主従関係をスイッチするためのロ ジック及びパケーケネージメントの超動を複句するロジ [0023] 協凹動御館PRは、中職人ペントや包飾人 ックを留えている。

簡に応じて異なるので、この命令を解説実行する個別制 プログラムとは異なる。また、機能に応じて個別制御部 PRのプログラム配位部11をROM10の代わりにAND レジスタやゲータ・レジスタに入力されるパワータネー ジメントの合合は、CPUや各1/Oコントローラの観 即的PRのROMIOには、それぞれ異なったプログラム が配位されているので、例えば、CPUが個別的御部P Rを構成するプログラム配位的11のプログラムと、P 1 /Oの個別即御前PRを構成するプログラム配燈部11の [0024] 電磁投入時に個別制御部PRのコマンド・ YORゲートで構成してもよい。

体式に形成されてもよく、それが属する装置と着脱自在 [0025] 個別制御部PRは、それが属する装置と一 に散けてもよい。

A配億部11は、個別制御部PRと一体式に形成されても レジスタやデータ・レジスタಳに入力される。 個別制御 形式でありよくサンドとすペワータから構成されている [0026] また、仮別制御部PRを構成するプログラ 【0027】更に、電威投入時にCPUが個別制御部P システムのアドレスパスやゲータバスを通じて飯別勧御 部PRのレジスタグループ15を構成しているコマンド・ 部 b K O 合合は、通常のマイクロコンピュータと同談な Rに包らせるパワーセネージメントの命令やゲークは、 よく、個別的御節PRと着脱自在に設けてもよい。 観技師命令である。

【0028】マイクロオーダは、歯腔動御街PR内の各 レジスタの入出力ゲート、CPUや各1/Oコントロー ラのレジスタ並びにメモリ部の入出力ゲートを制御す 【0029】次に、個別制御部PRを構成する上配各構 成部分の動作を説明する。 [0030] プログラム配位部IIは、ROM10を含んで おりROMIOに書き込まれた命令プログラムを即仰命令 ゲコーダ14から出力されるマイクロオーダに基づいて出 個別制御部 B R の価値に応じて R O M の変わりに A N D カする。なお、上述したようにプログラム配位部11は、 /ORゲートにより構成されてもよいが、本実施例で は、ROMを用いた場合について説明する。

[0031] T F V X D Y D 12th, R O M 10 & T D T スする。 飯節命令レジスタ13は、ROM10に き込まれ

あるか否かを判別し (ステップS8)、上記ステップS

ゲータを記憶しておくレジスタ、個別制御部P Rがパワ ダをそれぞれ出力する。レジスタグループ15はコマンド れらのレジスタは、システムの電板投入時にCPUがC トの命令やデータ及びCPUが各1/0コントローラの 個別期質部PRに与えるパワーマネージメントの命合や は、即御命令レジスタ13に配位された命令をデコードし て個別制御部PRが接続された1/0コントローラ(ま たはCPU) 及びレジスタ・グループ15にマイクロオー タ・コントロール・レジスタにより構成されており、そ PU自体の個別制御部PRに与えるパワーマネージメン た命令のプログラムを配位する。 慰仰命令デコーダ14 ・レジスタ、データ・レジスタ、ステイタス・レジス

[0032] 図1の個別的御部PRはそれ自身で小規模 に、デジタル電子機器を形成しておりそれぞれが固有の ゲータ処理物性を有するCPUや各1/Oコントローラ 毎に個別制御部BRを散けることによって、CPUや各 なマイクロコンピュータを形成しており、彼述するよう 1 / 0 コントローリ や位型 に パワート キージメント かめ る分散パワーマネージメント・システム(以下、システ ムと称する)を構成する。

た領別創御部 B Rの動作を図2のフローチャートを参照 [0033] 以下、システムにおける假別制御部PRの 動作、特にCPU及び各1/Oコントローラに複規され

まだ実行していないときは、各1/0コントローラの倒 テップSS)、上配ステップS4で、既に実行状態であ ントを実行し、それぞれが実行状態か否かを判別し(ス CPUや名1/0コントローラを主 (メイン) として母 (ステップS1)、CPUによりCPU及び各1/0= ントローラの個別制御部PRのレジスタにそれぞれの機 協に応じたパワーマネージメントの処理情報を予め格納 3)、上記ステップS3の検出の結果、システムがパワ 各1/Oコントローラの個別制御部PRがそれぞれの機 信に応じてパワーマネージメントを既に実行しているか **到前御部 B R により各種館に応じたパワートネージメン** トを実行して各1/0コントローラの亀原を削御し(ス 7)、上包ステップS3で各1/0コントローラ毎にパ ワーセネージメントを取つむら名 1 / ロコントローラの 個別制御部PRがパワーマネージメントの実行時以外で [0034] まず、電板を投入してシステムを切別化し し (ステップS2) 、初期化されたシステムがパワーマ --セネージメントを必要したときに(YESの場合)、 れば、各1/0コントローラ毎に全てパワーマネージメ 否かを判別し (ステップS4) 、上配ステップS4で、 テップS6)、上配ステップS6でYESの場合には、 ネージメントを必要するか否かを検出し (ステップS 動させて通常の資算等の実行処理を行い(ステップS

即部PRのロジック(Logic) セメインとして特勢 なせ、41/0コントローラを従(サブ)として役動さ B でYE Sの場合には、各1/Oコントローラの個別版 せて各1/0コントローラを切切する(ステップS

(特徴、特徴、実行等の状態) に維防する (ステップS は、各1/のコントローラを各価値に応じて異なる状態 **一定として、フル・パワーが膨かっている状** トの入力があったときにはC P U をメインとして役動さ セアシステムが位備することを各I/0コントローラに 知らせて実行状態に入り、CPUの個別関節部PRをサ **幅で付頭を必要とするパワーマネージメントのイペント** があったとをにはC P Dの協別関切的PRをメインとし r段動させC P Uをサブとして段動させ、パワーマネー ジメントを包凹的智符 BRDロジックに 花んこと 以び このタイミング中に、キーまたはタイマから復宿イベン て近流(DC)パイアスが聴かったタイミングに入り、 【0035】また、上記ステップS6でNOの都合に ブとして搭載させる。 . ()

ーマネージメントの命令を処理するのに必要なワーク用

レジスタ毎に分類される。

[0036]なお、図1の個別函数符PRは、フロッピ ディスクやハードディスクを使用しているシステムに対 [0037] 図3は、図1の個別即即節FRを備えたシ しても同様にパワーマネージメントを実行できる。

[0038] 図3のシステムは、ICカードや外部配位 坂俣として、フラッシュメモリを使用しており、钧道イ スント、彼徳イベントなによった匈奴をコントローグ ステムの一様成倒を示すプロック図である。 るパワーコントロール部を備えている。

コントローラの異質的なパワーコントロールは、並列入 出力(PI/0)コントローラのパワーコントロール担 [0039] 図3のシステムでは、各人出力 (1/0) 力によって行なわれる。

カ (1/0) トラップや無々の入出力 (1/0) の飲込 【0040】因3のシステムでは、鬼類ラインは直列に に、 図3のシステムでは、移計11の傾別的物部PR て、DCパイアスモード (システムスタンパイ) にある の個別制御部PRのスタートアップは、システムの入出 によるシステムマネージメントによって開始される。ま 接続されているように示されているが、物理的にはCP ときを"1"、そうでないときを"0"と散定すること により、システムが2通りの状態をもつことができ、自 る。また、個別邮御部PRを用いた分散パワーマネージ メントガ共では、ベイシック・イングット・アウトブッ ト・システム (B10S) サポートも不更であり、全て Cカード21、フラッシュメモリ22、V -R AM23年のメ Uや各I/Oコントローラ毎に並列に被視されている。 モリにそれぞれ直列または並列に被配されている。更、 また、因3のシステムでは、鶴原はメインメモリ20、 が取けられているので、これら個別即句布PRによっ 由度の高いパワーマネージメントシステムを実現でき

€

10 58 ₩ 6-332583

た、リアルタイムクロックの最優先の製込を除いて、符 ラ・キーSKや輪翅スイッチにより輪翅だシラベロー攻 【0041】図4は、特温キー、金橋キー毎のスペツャ [0042] この種類の整作は、CPUや41/0コン 遊キー、質備キー祭のスペシャル・キーSK(後述す びDCパイアスに変化したときの知識の動作を示す。 る)の樹込をいつでも受付けることができる。

[0043] 図5は、システムの移り変りを示す状態図 である。システムには各種の耐込が発生するが、それぞ れの割込に優先頃位をつける。優先頃位はシステムのア プリケーションによって異なるが、本実施例では次のよ うに散定する。

[0044]

優先期位2 スペシャル・キーSK人力(特強/復帰k 優先敬位 1 リアルタイムクロックイベント

優先駁位3 タイヤーイベント e y) イベント

優先題位4 通信人ベント

メモリ権法 (DMA) イベント 編先斑位6 もの物 (回旋位) イベント 医先现位5

許すシステムでも、前込スタックレジスタを散けること 本実施例では多面側込はないものとするが、多面側込を により、国別側御部PRを用いた分散パワーマネージメ ント方式によるシステムを形成できる。

鼻母を実行した後のディスプレイや入力待ちを示す待遇 状態、システムがデーク処理中であることを示す実行状 【0045】システムの状態には、韓叡投入時のシステ ムが初期化されるイニシャライズの状態、システムが図 塩及び上述した製込によって起る特徴状態がある。

【0046】図5は、システムのイベントによる状態の

【0047】例えば、リアルタイムクロックは、最も優

先度が高いが、時刻をいつでも表示するような場合、シ ステムは常にリアルタイムクロックの割込要求を受付け

は、システムとは常に非同期に起り、割込優先度は高い **ト表示しなければならない。 いれは図5 わは盆像イベン** トに相当する。また、時刻が何時何分になればシステム いので1フレームの受信とする。完全な受信は、受信要 を非動作に設定するような場合は、図5では特徴イベン 【0048】 通信イベントでは、収信ゲータの収信数块 方にもってくるのが普通でもるが、ゲーク扱が決めにく トに相当する。

そカシステムが出して行う。 いれは、図られは復帰イベ

[0049] オペシャル・キーSKによる人力イベント は、システムの使用者が人為的に、システムを待避状態

ントに揺出する。

【0050】タイヤ・イベントは、システムが特徴状態 にあるとき、一定時間が経過すれば投示装置の表示を消 ナとか、システムを特徴状態にするとか、特徴状態から 【0051】上述したことは状態風移の一倒であり、シ り、図5かは你頭とスント、食命とスントに益当する。 にしたり実行状態にしたりするキーペカイベントであ 存扱状態にする時間的なイベントかある。

[0052]システム全体及びシステムを構成するCP Uや各1/Oコントローラは、それぞれの個別制御部P (哥も、システムメタンパイ (DCパイアスキード)) Rにより、特強イベントがわれば図5に示す特徴状態

ステムのアプリケーションによって多様なイベントがあ

トローラの状態により、時間的にそれぞれ異なっている

が、システムの状態によっては、CPUや各1/Oコン

トローラもシステムの艦艇動作と同一になる場合があ

【0053】以下、本実施例のシステムに用いられてい 5年カコントロール回路、CPU、各1/Oコントロー を生み出すことができる。

【0054】図6は、塩カコントロール回路PCCの一 ラ、及び各メモリについて詳述する。

得成例を示す。

【0055】図6の気カコントロール回路 P C C は、2 つのトランジスタからなり、P1/0のパワーコントロ ールポートから出力される信号A, Bが各トランジスタ [0056] なお、システムのアプリケーションによっ てトランジスタの数は変化する。また、トランジスタを 園々に用いてもよいし、トランジスタを1C化して用い のペース入力値子TA, TBにそれぞれ人力される。

[0057] 図7は、図6の魅力コントロール回路PC Cを用いたシステムの一様成例を示す。

[0058] 図7に示すように、図6の塩カコントロー ル回路P C C は、C P U や各 I /O コントロータにそれ ぞれ個々に接続されており、P1/0のパワーコントロ トローン信号AとDCペイアス・アベルにするための信 **身Bが2つのトランジスタのペースにそれぞれ入力され** て、CPUや各1/Oコントローラをフルパワーまたは **ールポートから出力されるフルパワーにするためのコン** DCパイアストベルに設定する。

【0059】パワーマネージメントによってCPUや各 1/0コントローラの亀数をスイッチングする亀カコン トロール回路PCCは、BiーCMOS技術によってパ ワーコントロール部内に集積回路化して内離させること

[0060] 図8は、図6及び図7の具体的構成を示

PCCの箱子Ai, Biとは、パワー・コントロールだ 含まれているトランジスタ回路部によって接続されてお り、オン製紙、オフ製紙は菓子Ai、Biとパワー・コ [0062] 図8に示すように、 編子A t, Biにはト 【0061】 外部に敷けられたパワー・コントロールと ントロールとの間を図8に示す方向にそれぞれ流れる。

ランジスタがそれぞれ配因されており、各種子Ai、B トはパワー・コントロールに含まれているBi-CMO S集団国路に被視されている。

【0063】なお、図中、盤子Ai, Biは図6の縊子 A, Bにそれぞれ対応している。

る並列入出力 (P1/0) コントローラの一構成例を示 [0064] 図9及U図10は、個別即御部PRを有す

[0055] 図9に示すように、P1/0コントロータ ・コントロール、コタンド・ワジスタ、怒1~怒4ボー P 1 /Oコントローラを構成する節1 及び第2 グループ の仮別町御部PRから出力されたマイクロ・オーダは、

[0066]次に、図10のP1/0コントローラの個 トの各回御ゲートCGに入力される。

[0067] コマンド・レジスタやゲータ・レジスタに は、システムの電弧投入時P1/Oの個別似御部PRが 実行するパワーマネージメントの命令やゲータが後述す る数1の各モードを実行処理するためにコード化されて 別倒御部 B R に含まれている各レジスタの動作を説明す

[0068] ステイタス・レジスタには、歯別勧約部P が、個別的御部 B B 自体のコントロールによって入力さ れている。このステイタス情報は、パワーマネージメン トを行なっているか否かの情報、各モードの確別、及び Rがパワーマネージメントをしているステイタスの情傷 各モードの処理の実行ステイタスがコード化されてい 入力されている。

10069] コントロテル・レジスタには、サイムアウ トの数定値やクロックダウン時の制御値等が入力されて

[0070] PI/Oの個別側御部PRは、各ポットの われるマイクロオーダを出力する。更に、P 1/Oの個 トロータやリアル・タイム・クロック (RTC) 好のシ コントロール、各アジスタの入出力のコントロールに使 即倒御部PRは、後述する直列入出力(SI/O)コン ステムを排政するPI/O以外の構成部分の電威をコン トロールするマイクロオーダをも出力する。 [0071] P1/0コントローラは、CPUとパス投 [0072] 図11は、P1/Oの状態の移り変りを示 **残されてプリンタインターフェイス等に用いられ、プロ** グラマグルにパラレルゲータの入出力を行う。

上述した図5のシステム全体の状態と同様であるが、時 [0073] 図11に示すように、P1/0の状態は、 **関的に見ると異なる。**

[0074] 例えば、システムが実行状態にあってもブ リント出力がないような状態であり、P 1/Oはや機状 [0075]次に、システムの中で、各状態におけるP 1/0の個別制物部PRが簡単的に実行する物型的なパ ワーマネージメントの一例を扱りに示す。 これはシスタ ムのアプリケーションにより異なる。

表-1 ア1/0のパワーマネージメントモード(例)

	チャーク	*	# #	*	∆:# #R
1046406		0			
20492197		٥		0	
マシーンステートセーブ				0	
DC/4/TZE-F		٥		0	
94470h		0			
パワーオン	0	٥	0		
119-#7				0	
チィスプレーパワーホフ				0	
15294 1157-#7	0		٥		

* 印は他国的・ワーナフでなく辞儀的・ワーナフである。

周波敷を複数段階段けて、周波敷を下げる。 クロックス Oの質点をDC/イアメアペラにする(P1/Oの何型 制御部PRが実行)。タイムアウトは、設定されたタイ **▽質になればP1/0はDCパイアスモードに入る(P** [0078] 0ロックダウンは、P1/OMの0ロック ・・・・ トップは、P1/0内のクロックを存止させる。 マシン DCズイアスホードは、鳥類寺コントローケつトPI/ ステートセーブは、PI/O内の状態を一時配位する。 [0077] ここで、扱1の各項目を限用する。

I /Oの個型監督制 B 45改行)。 かィスプレベワーオ レは、投斥の角気やコントローケした消費する。 ベック ライトパワーオフは、液晶敷形 (LCD) のパックタイ トの無限を減断する中である。

【0079】図12及U図13は、個別動物部PRを有 する中央処理装置 (CPU) の一構成例を示す。

[0080] 図1 2に示すように、CPUの個別制御部 PRから出力されたマイクロ・オーダは、CPUを構成 するレジスタ/動型資庫製屋(ALU)制御部に入力さ

Œ

年配 平 6-332683

【0085】CPUは、システム全体のゲータ処理を行

Rに取失を担した危険がコントロールされる。

うために、固有の命含セット有しており、アドレスパ ス、ゲータパス、コントロールパスを適して、資算命 **や、フジメタ合む、アドフス類質合か、1/0種質合か** 【0087】図1414、CPUの状態の移り変りを示し

なを入出力してシステムをコントロールする。

[0081] 次に、図13に示すCPUの個別断御部P Rに含まれている各レジスタ(スタック・レジスタ及び 【0082】コケンド・ロジスタやゲータ・ロジスタド は、システムの恒板投入時、CPUの個別制御部PRが 政行するパワーセネジメントの命合やゲータが数20名 モードを実行処理するためにコード化されて入力され ジェネタル・アジスタを敬く)について配明する。

Rがパワーマネジメントをしているステイタスの情報が **奥行しているか否かの情報、各モードの種別、及び各モ** 個別的物館 PR 自体のコントロールによって 入力されて いる。このステイタス情報は、パワーマネージメントを [0084] コントロール・レジスタには、タイムアウ 【0083】ステイタス・レジスタには、囡妲慰勧称 B ードの処理の実行ステイタスがコード化されている。

トの設定値や、クロックダウン時の制御値が入力されて いる。CPUの個別制御師PRから入力されるマイクロ オーダーは、レジスタ・グループの入出力、その他をコ [0085] 臨原をコントロールするとをは、CPUの ントロールするために使われる。

リケーションによって異なる。

【0088】次に、システムの中で各状態におけるCP

Uの個別即御部 B R が論理的に実行する物理的パワーマ ネジメントの一例を扱2に示す。これは、システムアブ

供一名 CPUのパワーマネージメントモード(M)

超別団体的 F K k L / Oコントロータの復別団体的

	チャット	#	比米	和	故:故
20.0902		0			
20022157		٥		0	
マシーンステートセーブ				0	
DCパイアスモード		٥		0	
944751		٥			
バワーホン	0	0	0		
119-47				0	
ディスプレーパワーポフ					
164094 1140-47	Ģ		٥		
THE RESERVE OF THE PARTY OF					

* 印は他国的パワーギンでなく雑食的パワーオンである。

[0091] クロックダウンは、CPU内のクロック周 政数を複数段階に設定して周波数を下げる。 クロックス レベルにする。タイムアウトは、散定されたタイを値に モードに入る。 ディスプレイパワーオフは、CPUの個 別制御部PRがPI/Oコントローラの個別制御部PR 外部からの1/0符もに相当する)。 トンンステートセ ープは、CPU内の状態を一時記憶する。DCパイアス ト、軽減やコントローケしC B Dの転割をD C パイアメ なれば、C P Nの歯型包含作P R が B I 人のコントロー ラの仮図図的句色PRに包ちせて、CPUがDCパイアス モードは、CPUの個別創御部PRが特徴状態に入るこ トップは、CPU内のクロックを存止させる(例えば、 とをPI/Oコントローラの個別制御部PRに知らせ [0090] ここで、数2の各項目を説明する。

合、CPUの個別制御部PRがPI/Oコントローラの 因別制御部 B R にパックライトの配慮をコントロールナ て遊形する。 パックライトパワーオフは、LCDの場 ることを要求して遮断する。

[0092] 次に、図3に示されている各1/0コント ローラの概略を説明する。

メモリがファイル・メモリとして使用されるようになれ [0093] これちの1/0コントローラは、一般に上 く 担ちれているものであり、ここでは各1/0コントロ 一ラ自体の構成や動作の取明を名略して、個別制御部P Rに関することについて散明する。なお、フラッシュ・ ばンシッツu・メモリ・コントローラ(FMC)が1/ 〇コントロータとして絶対に必要やある。

[0094] 女子、SI/Oの個型函数部PRに含まれ ている各レジスタを説明する。

にゲィスプレイの転換をコントロールすることを取失し

€

49 局平 6-332583

0095] コマンド・レジスタやゲータ・レジスタに は、システムの包敷投入時S I /Oの個別包御部P R が **政行するパワーセネージメントの命合やゲータが復述す** る扱3の各モードを実行処理するためにコード化されて 入力されている。

[0099] SI/Oコントローラは、CPUのパスと 敬頼されており、主に適信コントロールに用いられ、プ

てコントロールされる。

ログラムによって同類や関歩同類のシリアル通信を行

[0100] SI/Oコントローラの状態は、止消した

因5のシステム全体の状態と同様であるが、時間的に見

Rがパワーマネージメントをしているステイタスの情報 [0096] ステイタス・レジスタには、個別勧御部P が、匈別制御部PRのコントロールによって入力されて いる。このスケイタス信仰は、パワーセネージメントや **実行しているか否かの情報、各モードの確別、及び各モ** ード処理の実行ステイタスがコード化されている。

> ている。システム全体をコントロールするユニットであ ることから、図5のシステム全体の状態とほとんど同じ

例えば、システムがモデムによる通信符ちのとき、CP Uは符機しているということもある。システムアプリケ 〇動作の超動を停っているときがある (即ち、砕極した

であるが、時間的に見ると変化はやはり異なっている。

ーションによっては、システム外部かちのイベンや1/

[0097] コントロール・レジスタには、タイムアウ トの数定値やクロックダウン時の慰御値が入力されてい る。SI/Oの個別回御部PRから入力されるマイクロ オーダは、各通信パッファのコントロール、各レジスタ の入却ガコントロールに使われる。

[0102]次に、システムの中で、各状態におけるS 1/0 m ントローラの個四個質的P K が整理的に決行す

る物型的なパワーマネージメントを一個を扱3に示す。

これは、システムのアプリケーションによっても異な

通信をしていないような状態では、S 1 /O コントロー

ラは存機中ということもある。

[0101] 例えば、システムが取行状物であっても、

ると異なる。

[0098] ★た、母原は、SI/Oの個別回知部PR がPI/Oコントローラの個別関御部PRに要求を出し

R-3 SI/O0/47-44-9/174-F (M)

[0103]

₩:V 和配 0 0 0 0 0 (c) ٥ 55 82 ٥ 0 0 0 14.994 1.49-47 ロシーンステートセーフ アィスプレーバワーオフ 0C/4778-F 20022107 200000 94479F 149-47 イナーケン

日は色目的パワーオフでなくは目的パワーオフである

内のクロッグ周波数を複数段階に設定して周波数をドげ ントローラの個別的物格PRに知らせて的版をコントロ [0105] クロックダウンは、S1/Oコントローラ る。クロックストップは、SI/Oコントローラ内のク Oコントローラ内の状態を一時的位する。DCパイアス モードは、SI/Oコントローラが特徴状態に入ること をSI/Oコントローラの強別的句話PRがPI/Oコ ールし、SI/Oコントロータの転換やDCベイアス・ レベルにする。タイムアウトは、股定されたタイヤ街に ロックを停止させる。マシンステートセーブは、SI/ /Oコントローラの個型監督部PRに包ち出て、SI/ なれば、S I /Oコントローラの個別创御部P R がP | [0104] ここで、数3の各項目を脱明する。 のコントロータがひのペイアス・モードに入る。

[0106] 通信では、相手と撥線できないような通路 中等のように、実行中でもタイムアウトになるときがあ る。ディスプレイパワーオフは、S1/0コントローラ の個別的質的 B K な P I 人のコントロータの個別制御部 P R にディスプレの包敷をコントロールすることを数求

(I.C.D.) の場合、SI/Oコントロー9の歯腔固管部 PRがPI/Oコントローラの歯型気質符PRにベック **サイトの転送かコントローグすることが区分した 荷花中** して造断する。パックライトパワーオフは、液晶投示

C)コントローラの協別制御師PRに含まれる各レジス [0101] 衣に、リアル・タイム・クロック(RT る年である。

[0108] コマンド・レジスタやゲータ・レジスタに は、システムの電板投入時、RTCコントローラのຝ別 **図御部 B R が実行するパワーセネージメントの命令や予 ータが後述する奴4の各モードを取行処理するためにコ** タについて既明する。

Rがパワーマネージメントをしているステイタスの情報 が、倒別制御部PR自体のコントロールによって入力さ れている。このステイタス情報は、パワーセネージメン トを実行しているが否かの情報、各モードの福別、及び [0109] スティタス・レジスタには、個別制御部P ード化されて入力されている。

各モードの処理の実行ステイタスがコード化されてい

トの実時間散定値やクロックダウン時の制御値等が入力 されている。個別節御笛PRからRTCコントローラに [0110] コントロール・レジスタには、タイムアウ 入力されるマイクロオーダは、各レジスタの入出力コン トロールに使われる。

【0111】鳥類は、RTCコントローラの金別慰労的 PRがPI/Oコントローラの個別的物部PRに要求を 五つトコントローラなれる。 [0112] RTCコントローラは、CPUとインター フェイス(パス俊鋭しないときもある)されるが、他の 1/0コントローラに比べると独立性が高く、一種の時 叶なので主に時針として使われる。

【0113】時計は、時刻の初期数定後、システムがど んな状態にかっても動作しているが、RTCコントロー

ヲを構成するとき、時計を除く部分はシステムと同様な 状態の移り変りがある。即ち、時計価値だけのときには

システム全体の状態と同様であるが、時間に見ると変化 は異なる。例えば、システムが実行状態にあっても、実 時間の倒込を出さないような状態、即ち時計を除き符機 【0114】RTCコントローラの状態は、図5に示す しているということがある。

Cコントローラの個別制御部PRが倫理的に実行する物 題的なパワーマネージメントの一例を扱るに示す。これ 【0115】次に、システムの中で各状態におけるRT はシステムのアプリケーションによっても変る。低し、

時計は常に動作しているものとする。

ば、RTCコントローラの個別制御部PRはPI/Oコ 【0118】クロックダウンは、時計のクロック (32.76 Cコントロータ内の状態を一時配位する。DCパイアス モードは、RTCコントローラが特徴状態に入ることを RTCコントローラの銀空即参供P Kが b I 人Oコント **かしたRTCコントローサの构版やDCベイアスアベシ** ントローチの個別包御部 B R に知らせた、R T Cコント ローラはDCパイアスモードに入る。ディスプレイパワ BRHZ)を發くRTCコントローラ内のクロック函数数を 複数段階に設定して周改数を下げる。クロックストップ は、時計のクロックを除いて、RTCコントローラ内の クロックを存止させる。マシンステートセーブは、RT ローラの個別知句的P R IC 知らせて、配版をコントロー ーオフは、設定された実時間になれば、RTCコントロ にする。タイム・アクトは、設定された実時間になれ [0117] ここで、表4の各項目を説明する。

Rにパックライトの電源をコントロールすることを要求

C)の個別的御部PRに含まれている各レジスタについ 【0119】次に、カウンタタイマコントローラ (CT

は、システムの電弧投入時CTCの個別制御部PRが実 [0120] コマンド・レジスタやゲータ・レジスタに ドナるパワーセネージメントの命令やゲータが扱5の各 モードを実行するためにコード化されて入力されてい Rがパワーマネージメントをしているステイタスの情報 ている。このステイタス情報は、パワーマネージメント を実行しているか否かの情報、各モードの種別、及び各 が個別間物節PR自体のコントロールによって入力され モード処理の実行ステイタスがコード化されている。

やクロックダウン時の無御価等が入力されている。CT

Cに個別制御部PRから入力されるマイクロオーダは、

合、設定された実時間になれば、RTCコントローラの

小型吹して指揮する。 ペックタイトオフは、LCDの語

−−9の短凹包御部PRがPI/Oコントローラの値凹節 **谷用 P R にゲィスプァイの 駒坂 やコントロールナめいと**

このような移り変りはない。

[0116]

我ー4 RTCのパワーマネージメントモード(M)

	4 = 2 + 9	# #	第 作	*	第 版 (口) 第 年
90,090>		0			
クロックストップ		Δ		ĝ	
マシーンスタートセーブ				0	
DCパイアスモード		٥		0	
94470F		0			
149-42	0	0	0		
119-47				٥	
アイスプレーパワーオフ				0	
180994 140-47	0		٥		Γ
・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・	77717		 :		

短別関御部PRがP1/Oコントローラの個別制物部P

て説明する。

【0122】 コントロール・レジスタには、カウンタ街 【0121】ステイタス・レジスタには、個別制物部P

むっても、カウンタはシステムのタイミング勧仰のため。 に動作している。これらの状態では、D-RAMのリフ フッシュは、パワーセネージメントのため、クロックダ [0125] 例えば、システムが特徴状態、特遊状態に ケンして行なわれている場合に相当する。

の個別国物部 P R が B I / Oコントローラの歯別制御

各アジスタの入出力コントロールや各カウンタの入出力 コントロールに飲むれる。 観察コントロールは、CTC 【0126】次に、システムの中で、各状値におけるC T Cの個別制物部 P R が倫理的に実行する物理的なパワ --マネージメントの一倒を投るに示す。これはシステム のアプリケーションによって異なる。

ミック・ランダム・アクセス・メモリ (D-RAM)の

システムのタイミング慰御のための装備であり、ダイナ プログラマブルなリフレッシュカウンタとして使用され

【0123】CTCは、CPUパスと接続されており、

PRに要求を出して行なわれる。

[0127] [登4]

TCの状態図は図5のシステム全体の状態と同様である

が、時間的に見ると異なる。

[0124] CTCの状態の移り変りを示している。

教一ち CTCのパワーヤキージメントホード(例)

	** 1,7 * X	# #	£	*	M: ∆
2040400		0			
2012111		٥		X	
マシーンスチートセーブ				0	
DCパイアスモード		×		×	
144701		٥			
49-47	0	0	0		
49-47				0	
ディスプレーパワーキフ				0	
cx-62176643	0		٥		
- 田は他道的パワーチンがはく知明的パワーチンでが、ス	かではく物理的	140-4-17]

ネージメントの命合やゲータが後述する投6の各モード を実行するためにコード化されて入力されている。

Ω

[0129] クロックダウンは、CTC内のクロック周

[0128] ここで、数5の各項目を配用する。

クロックストップは、D-R AMのリフレッシュカウン タを除いてCTC内のクロックを停止させる。 マシンス ケートセーブは、CTC内の状態を一時配位する。DC 御を行うので、股定されない。タイムアウトは、CTC

-RAMのリフレッシュは下げた周波数で行なわれる。

放数を複数段階に設定してクロック周改数を下げる。

が個別制御部PR自体のコントロールによって入力され Rがパワーマネージメントをしているステイタスの情報 ている。このステイタス情報は、パワーマネージメント が実行されているか否かの 保、各モードの種別、及び **【0132】ステイタス・レジスタには、個別制物部P** 各モードの処理の実行ステイタスがコード化されてい

ウン時の関節値やタイム・アウト時の削御値が入力され れる。気質コントロールはINTCの個別回句部PRが クロオーダは、各レジスタの入出力コントロールに使わ PI/Oコントローラの協密観響器BRに熨水を出した [0133] コントロール・レジスタには、クロックダ ている。INTCの個別制御部PRから入力されるマイ

> ・アウトは設定されないが、システムがタイム・アウト に入る場合(例えば、特徴時のタイム・アウト)は設定 される。ディスプレイパワーオフは、設定されたカウン ローラの短別慰勧的BRに要求を出したディスプレイ的 版を遊断する。パックライトオフは、LCDの場合、股

夕低になればCTCの個別即御部PRはPI/Oコント

定されたカケンタ低になれば、CTCの個別制物部PR がP1/Oコントロータの個別配動部のRに要求を出し

パイアスモードは、CTCではシステムのタイミング勧 ではロCパイアスキードに入るのに対応しているタイム

り、プログラマブルな観込コントロールが可信なディバ イスであり、優先頃位が付けられた暫込入力信号を処理 【0134】INTCR、CPUとパス仮観されてお Habbs.

[0135] INTCの状態の移り変りは、図5のシス テム全体の状盤と同様であるが、時間的に見ると変化は して、その類込数水をCPUに知らせる。

> NTC)の個別即御部PRに含まれている各レジスタに [0131] コマンド・レジスタやゲータ・レジスタに

は、システムの電板投入時1NTCが安行するパワーマ

[0130] 概いて、インタラブト・コントローラ([

ったパックライトの信仰を選所する。

[0136] 例えば、システムが実行状態でわっても

9

← M + 0-332583

NTCは符値中ということもあり、システムの割込があ [0137] スペシャル・キーSKによる朝込イベント は、ノン・マスカブルな朝込であり上近したように根々 って動作するから朝込がない限り待機している。 の前込がある。 【0138】次に、システムの中で、各状態における!

ワーセネージメントの一倒を安6に示す。 いれは、シス テムのアプリケーションによって異なる。 [0139]

NTCの個別制物部PRが簡単的に実行する他理的なパ

[多發]

のは幼母的パワーオフでなく韓國的パワーオフである。 0 19994 119-47

ディスプレーバワーオフ

4

がPI/Oコントローラの復別慰勧部PRに知らせてD み処理を行う。タイムアウトは、INTCはタイマ機能 [0141] クロックダウンは、INTC内のロック周 放数を複数段階に散定して周波数を下げる。クロックス Cパイアスモードに入る。そうでなければCPUが割込 をもたないが、システムのタイムアウトによる酌込を受 Oコントローサの個別配質部P R に知られて、INTC も熨吹して適節する。 パックライトパワーオフは、LC Dの基合、INTCの包密医療PRボPI/Oコント トップは、INTC内のクロックを停止させる。セシン とをCPUの個別倒御部PRに知らせるが、もし待避状 題に入るイベントであれば、INTCの飯四度智能PR 付けてCPUの個別即御御PRに知らせ、特選状態に入 がDCパイアスモードに入る。ディスプレイパワーオフ は、INTCの個別的物部PRがPI/Oコントローラ の個別制御部PRに投示の種類をコントロールすること ローラの匈別的智能P Rドバックライトの亀数をコント DCパイアスモードは、システムの中で削込があったこ る人 ベントかもたば INTCの商別包御幣PRがPI/ ステートセーブは、INTC内の状態を一時間数する。 [0140] ここで、投6の各項目を脱別する。 ロールナることを駁吹して選炼する。

[0142] 次に、ダイレクト・メモリ・アクセス・コ ントローラ(DMAC)の強別慰問語PRに合まれてい 5名 レジスタについて説明する。

[0143] コマンド・ウジスタやデータ・レジスタに は、システムの電源投入時、DMACが実行するパワー マネージメントの命合やゲータが復述する数10名モー ドを実行するためにコード化されて入力されている。

【0144】 ステイタス・レジスタには、個別勧御部P

り、CPUを介さないで、各メモリや各1/Oコントロ を直接アクセスできるコントローラであり、メモリ転送 - ラ (例えば、外部接続されているフラッシュメモリ) [0146] DMACは、CPUとパス接続されてお や外部配位装置とのリード/ライトに用いられる。

て、メモリ転送や1/0データの転送が行なわれるの で、DMA要求がない限り特徴していることになる。

[0149]

A:₩. # 粉念 0 0 c 数-6 INTCのパワーマネージメントモード(M)

R がパワーマネージメントをしているステイタス情報が **匈別慰野郎 B R 自体のコントロールによって入力されて** いる。このステイタス情報は、パワーマホージメントを **奥行しているか否かの情報、各モードの種別、及び各モ** 一ド処理の実行ステイタスがコード化されている。

RがPI/Oコントローラの個別制御部PRに要求を出 [0145] コントロール・レジスタには、クロックダ ウン時の制御傾が入力されている。 DMA Cの個別制御 部PRから入力されるマイクロオーダは、各レジスタや レジスタグループの入出力をコントロールするために使 われる。 氏臓コントロールは、DMACの歯凹腔御筒P して行なわれる。

[0147] DMACの状態の移り変りは、図5のシス 例えば、システムが実行状態であっても、DMA Cは符 簡中ということもある。システムにDMAの要求があっ [0148] 次に、システムの中で各状態におけるDM A Cの個別制御部P R が臨風的に実行する物理的なパワ -マネージメントの一例を扱っに示す。これは、システ テム全体の状態と同様であるが時間的に見ると異なる。 ムアプリケーションによって異なる。

オンメントの合合やゲータが数8の合も「ド色以行する は、システムの電弧投入時、FMCが実行するパワーマ

[0155] ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報が いる。このステイタス情報は、パワーマネジメントを災 図別慰勧節 B B B 体のコントロールによった人力されて 行しているか否かの情報、各モードの領別、及び各モー ド処理の政行ステイタスがコード化されている。 ためにコード化されて入力されている。

[0156] コントロール・レジスタには、クロックダ ウン時の固切値が入力されている。FMCの個別回句部 PRから入力されるマイクロオーダーは、FMCの各レ ジスタの入出力をコントロールするために使われる。

[0157] 白皮のコントロールなFMCの包含色質的 PRがPI/Oコントローラの個別回句部PRに要求を

えば5128)の伝送を行い、外部メモリに対してゲータ・ コントロールのリードやライト・コントロールを行う。 [0158] FMCは、CPUとバス俊規されており、 出して行なわれる。

また、外部メモリをファイルとして扱うファイルコント

なる。例えば、システムが実行状態であっても、FMC [0159] FMCの状態の移り変りは、図5のシステ ム会体の状態と同様であるが、時間的に見ると変化は異 は存職中ということもある。システムが外部メモリに対 して、リード熨吹やサイト熨吹や出して、外部メモリか 5ゲータをリードしたり、外部メモリヘライトするの ローラでもある。

[0160]次に、システムの中で、各状態におけるF MCの個別回知時PRが包担的に実行する毎期的なパリ **ーセネージメントの一倒を収8に示す。これは、システ** で、リードやライト型攻がない限り符機状態になる。 ムアブリケーションによって異なる。

[0161]

2

(4 B) TE - 332563

数一7 DMACのパワーセネージメントセード(例)

故	T	Τ	T	Γ	Τ	Τ	Τ	Ī]
報 日 マ : 日 本	╀	╀	╀	\vdash	╀	ł	╀	1	\vdash	$\left\{ \right.$
*	L	P	0	0			0	l°		
K						0			٥	200
# 2	٥	0		٥	*	0				147-47
4 4 4 4 7 4 7 4						0			0	でなく禁用が
	10+0402	20222157	マシーンステートセーブ	DC/4774-F	144701	ペカーキン	140-42	チィスプレーパワーオフ	1609541-47	* 印は砂道的パワーオフでなく箱団的パワーオフである。

[0151]-クロックダウンは、DMA C内のクロック [0150] ここで、扱7の各項目を説明する。

る。DCパイアスモードは、DMACが特徴状態に入る 周被数を複数段階に散定して周故数を下げる。クロック ストップは、DMAC内のクロックを存止させる。マシ ンステートセーブは、DMAC内の状態を一時配値す

ことを、個別的物部PRがPI/Oコントローラの個別 **医智能 B R IC 哲のおた 転度 サコントローケし、 DMA C** DMACはタイヤ価値をもたないが、システムの中でタ の句数をDCパイアスモードにする。タイムアウトは、

部PRがPI/Oコントローサの個別財物館PRに知ら イトによる特強イベントがもれば、DMACの個別節句

せてDMACはDCパイアスモードに入る。 ディスプレ イパワーオフは、DMACの個別制御師PRがP1/0

コントローラの個別即御師 B R に扱示の軌版をコントロ **ールすることも熨吹して遮断する。 パックライトパワー** 1/Oコントローラの個別制御部PRにベックライトの [0152] 夜に、フラッシュ・メモリ・コントローラ (FMC) の個別制御部PRに合まれているの名レジス **私数をコントロールすることを要求して選挙する。** タについて説明する。

オフは、LCDの場合、DMACの個別制御部RがP

ントロールは、FMCの個別即御部PRが非動作時であ [0153] FMCがコントロールナるフラッショメル **処力が消費もなく、亀原を供給しなくても怠慢されてい** るゲータは保持されるので、メモリに対しては、いつで もパワーを遮断することができる(非動作時は物理的な ラッシュ・メモリ・パワーオフのモードがある。 このコ ることを、ズテイタス・レジスタによって知ることがで リは、動作中は、塩力消費があっても、非動作時は全く 遮断ができる)。後述する投8の各モードに加えて、フ きるので、FMCの個別制御部PRがPI/Oコントロ -ラの個別的御師 B R に知らせて外部配位数値(エクス ターナル、メモリ)の電源を選断することができる。

[0154] コマンド・レジスタやゲータ・レジスタに

第一日 FMCのパワーマネージメントモード (例)

	* # X	*	**	#	Δ:M %
		ĺ			
1019997		1			
10.026.7		0		0	
7 - 4 - 1 - 4 - 1				0	
7 - 1 - 1 - 1				ļ	
DC/4774-F		٥		2	
14470h		×			
	6	٥	٥		
(J-6)	,	,		ļ	
147-87				٥	
41.140.49		L		0	İ
T4430-00-47					L
149994 >189-47	0		٥		
	١	44.54	444		

印は物理的パワーオフでなく辞理的パワーオフである。

[0163] クロックダウンは、FMC内のクロック周 投数を複数段階に設定して、周改数を下げる。クロック ストップは、FMC内のクロックを停止させる。マシン ステートセーブは、FMC内の状態を一時配信する。D 短辺度谷田 PRが D 【/Oコントローチの歯凹倒体部P Cバイブスモードは、FMCが特徴状態に入ることを、 [0162] ここで、数8の各項目を収明する。

は、FMCの個別観閲節PRがPI/Oコントローラの 歯別側御部 B R に表示の低激をコントロールすることを 熨女して遊断する。 パックライトパワーオフは、LCD の 合、FMCの個別側御部PRがP1/Oコントロー ・Pの智別団御笛PRにベックサイトの包閣をコントロー がDCパイアスモードに入る。 ディスプレイパワーオフ ルナることを要求して適断する。

(VDC) の個別即仰部PRに含まれている各レジスタ [0164]観いて、ピテオ・ゲータ・コントローラ

[0165] コマンド・レジスタやゲータ・レジスタに について説明する。

は、色質投入時、VDCが実行するパワーマネジメント [0166] ステイタス・レジスタには、個別制御部P の命令やゲータが数9の各モードを実行するためにコー ド化されて入力されている。

ケン母の倒物値が入力されている。 VDCの個別関御部 PRから入力されるマイクロオーダーは、描画アドレス 別御部や投示アドレス慰御部、アゲメゲータ慰御部やの を実行しているか否かの情報、各モードの種別、及び各 [0167] コントロール・レジスタには、クロックゲ が、個別関御節PR自体のコントロールによって入力さ れている。このステイタス僧母は、パワーマネジメン Rがパワーマネージメントをしているステイタス情報 モード処理の実行ステイタスがコード化されている。

部PRがPI/Oコントローラの個別関御部PRに要求 [0168] 塩酸のコントローMは、VDCの個別財物

描面タイミングの遺积、直線や円弧、四辺形、文字等の **描画やスクロール、自動カーソル帯とデオデータのコン** 【0169】VDCは、CPUとパス按照されており、 トロールを行うコントロータである。 を出して行なわれる。

のために後続されるが、V-RAMのピットデータをコ >+a-n+5totas. cov-ramen. D-RAMが使われるときもあるので、DーRAMのリフレ (以下、V-RAMと称する) がピティオデータの表示 [0170] 更に、ローカルパスには、ピデオ・ラム

> DCX4TXE-FICTS, 91 LT 914, FMCT 5色遊イベントがあれば、FMCの個別即均額PRがP 1/Oコントローラの個別的物部 B R IC知らせて F M C

はタイマ機能をもたないが、システムの中でタイマによ Rに切らせて、鳥類をコントロールし、FMCの亀類を

[0171] D-RAMの変わりに リフレッシュがギ 夏な疑自己リフレッシュ・ラム(疑囚SーRAM)を用 ッシュ機能を有する。

タを含んだコントローラになるが、ピディオデータのコ ントロール価値は同一であり、VDCのパワーマネジメ [0172] VDCIL, CRTとインターフェイスされ るか、またはりキッド・クリスタル、ティスプレイ、コ ントローラ (以下、LCDCと称する) としても使用さ れる。この語台、LCDフラットディスプレイに檢練さ れるので、LCD表示用データインタフェイスコンパー ントの収明で充分であるので収明を省略する。 いてもよい

ーマネジメントの一個を扱りに示す。これは、システム DCは、非動作でよく、データ処理の終了後にV DCは [0174] 女に、システムの中で、各状態におけるV D Cの個別例即第P R が協理的に実行する物理的なパワ ム全体の状態と同様であるが、時間的に見ると異なって いる。例えば、システムが実行状態にあっても、VDC は符集しているということもある。システムがデータ処 理 (作扱資質やファイルアクセスや) 中であっても、V [0173] VDCの状態の移り変りは、図5のシステ 助作を始めればよいので、特徴していることがある。 アプリケーションによって異なる。

[0175]

人出力 (1/0) コントロールに使われる。

M-9 VDCOMP-TA-DINEER UND

	4 1 2 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4	*	11.	*	₩ 版: ▽
40-0407		٥			
30493747		×		ĝ	
T-4-124-1	-			0	·
DC/477E-F		٥		0	
914791		×			
,40-4V	0	0	0		
163-631				0	
ディスプレーパワーボフ					
159994110-47	0		٥		

【0177】タロックダウンは、VDC内のクロック周 [0175] ここで、数9の各項目を説明する。 被数を複数段階に設定して周波数を下げる。

を停止させる。 但し、V-RAMにD-RAMが使われ RAMが使用されているときはクロックを停止させるこ [0178] 90293427th, VDCM09020 ているときはこのモードはない。S-RAMや疑US-

【0179】マシンステートセーブは、VDC内の状態 できており

部PRが特徴状態に入ることをP1/0コントローラの 歯別型 替用 P R に ちられた 自然 サコントロールし、 V D 【0180】DCパイアスキードは、VDCの歯型巨的 カー時的位する。

-ラの歯別気御部PRに知らせてVDCがDCパイプス もたないが、システムの中でタイレによる特徴イベント があれば、VDCの個別原御部PRがP1/0コントロ [0181] タイムアウトは、VDCではタイマ機能を Cの包括数やDCメイナメフィグドナる。

[0182] ディスプレイパワーオフは、VDCの歯別 虹物部 B R が P I /Oコントローラの個別関物部 B R に 投示の程度をコントロールすることを要求して適断す モードに入る。

台、VDCの個別関物部PRがPI/Oコントローラの 歯別慰徴的 B R C ベックサイトの軌筒をコントローベナ [0183] バックライトパワーオフは、LCDの場 ることを数水して温粉する。

は、システムの電磁投入時、KBCの個別制御部PRが 政行するパワーマネージメントの命令やゲータが投10 の各モードを実行処理するためにコード化されて入力さ [0185] コマンド・レジスタやゲータ・レジスタに [0184] 次に、個別的物部PRを有するキーボード - コントローラ (KBC (SI/O (II)) の個別問 御部PRに含まれている各レジスタについて税明する。

[0186] ステイタス・レジスタには、個別制物部P

以行しているか否かの情報や各モードの個別や各モード Rがパワーマネージメントをしているステイタス情報が いる。このステイタス情報は、パワーマネージメントを 個別的智能PR自体のコントロールによって入力されて

[0187] コントロール・レジスタには、クロックグ ケン母の即句値が入力されている。KBCに入力される マイクロオーダは、レジスタグループの入出力やその治 の処理の実行ステイタスがコード化されている。 をコントロールナるために使われる。

[0188] 電気をコントロールするとをは、KBCの 個別節物器 P R が S 1 / O(11)の個別制物部 B R を通し **イP1/Gコントローラの復別包包部PRに収水を出し** ト知恩がコントローラれたる。

知らせ、キー人力処理を行う。また、S1/〇(11)の図 別国御部PRは、KBCの国別国都部PRのもとでコン シリアルにインターフェイスし、システムのキー入力を [0189] SI/O(II)は、彼にKBCに回避して、

ータ・ユニットが使われることが多い。これは、ROM やR AM、1/0ボートを内積している。因3のシステ ム例では、KBCにもラー方のSI/O(II)が使徒され ているが、KBCと同一の状態の移り変りをする。KB Cからのシリアル信号をシステムとシリアルにインター **ギュード化するコントローラであり、マイクロコンピュ** [0190] KBCは、図3に示すようにバスと役扱さ れないで、独立している非問期に入力されるキー・ポー ドの信号をシステムに回知させ、文字/配号、教信キー トロールされて投10の各モードを実行する。

る。例えば、システムが実行状態にあっても、KBCは **お他している時間がほとんどである。連続的なキー入力** のときには、比較的多くKBCはシステムをアクセスす [0191] KBCの状態の移り致りは、図5のシスケ ム金体の状態と同じであるが、他の1/0コントローラ を含むシステムとは、時間的に見ると変化は金く異な フェイスする。

[0192] しかし、割込優先度の高いキー入力があれ

ネジメントの一個を扱10に示す。これは、システムア ブリケーションによって異なる。SI/O(II)もKBC

特徴へ、資品イベントであれば復帰へとシステムの状態 ア・タイム・クロックを軽く)、始函イベントかわれば ば、システムは常にこのキー入力を受付け(国し、リア が洒移する。

[0193] 次に、システムの中で各状態におけるKB Cの個別包包部 B Rが智服的に安行する後期的パワート

と同じである。 [0194]

表10]

数-10 KBC (81/0Ⅱ) のパワーマホージメントセード (所)

	ታ ቀ ሳ ተ ማ ት አ	# #	t:	# #	∆: 3 #
2049400		0		<	
クロックストップ		۵		c	
マシーンステートセーブ				0	
DC/4778-F		×		×	
102776		×			
<#-Gy/	0	c	c		
140-47			,	,	
\$1×76-47-47				c	
142994140-47	0			}	
・ 日本の日本の日本の日本の日本の日本日本	1000				

【0196】クロックダウンは、KBC内のクロック周 スモードは設定しない。なぜならば、キー入力は非同期 入力であり、キー入力があったことをシステムに知らせ なければならず、時にスペツャル・キーSKを第に受付 けなければならない。 しかしシステムアブリケーション 故敷を複数段階に設定してクロック周波敷を下げる。ク トシンステートセーブは、KBC内の状態を一部的信さ せる。DCパイアスキードは、KBCでは、DCパスプ ロックストップは、KBC内のクロックを停止させる。 【0195】ここで、数10の各項目を説明する。

イパワーオフは、KBCの歯別動御部PRが、P1/O I /Oコントローラの個別創御部PRにペックライトの /Oコントローラの個別的物部PRがタイムアウトの更 コントローラの個別制御部PRに投示の電廠をコントロ **ールすることを取収して適断する。 パックタイトパワー** オプは、LCDの場合、KBCの個別的関節のRが、P 水を出してタイムアウトになることがある。 ディスプレ し、一定時間(実用的には分単位)展過すれば、他の1 一入力があったことを処理しなければならない。しか **影談をコントロールすることを取択した誤断する。**

主として使用されるが、S-RAMはその低消費電力性 [0198] システムのメインメモリにはD-RAMが やスタティック なデータ 配位ができることからシステム 【0197】次に、合メポリについて説明する。

【0199】D-RAMをメインメモリとして使用する ンステムでは、その物性上、一定時間内のリフレッシュ 以模に応じて多く使用され得る。

【0204】大規模な大規模集積回路 (LSI) 化技術

が、CTCによるクロックダウンのパワーマネジメント を常に伴うことからDCパイアスモードは存在しない は存在する。

ファッシュなので、D-RAMと同様にDCパイアイキ 【0200】他方、S-RAMは、その物性によってス モードをもつことができる。 即ち、 P I /Oコントロー ヲが特徴状態に入ったとき、PI/OのPRが、S-R AM(メインメホリ)の钨酸やコントローケした、DC ペイアスモードにする。歴収S-RAMは、セルフ・リ タティックなデータ保持ができることからDCパイアイ ードは散定しない。 【0201】1Cメモリカードは、多様なメモリが使わ れる部分である。大きくは、ROMとRAMである。M -RAMS, EP-ROMSE2 PROMEONORO Mも全てROMとして扱う。

ムもあるので、このような場合はDCパイアスモードが

によっては砂橋状態でのみキー入力を受け付けるシステ

散定できる。タイムブウトは、KBCでは、このモード

を釈定しない。 なぜならば、非両期入力であるためにキ

【0202】ROMは、メモリの電源を選断してもデー タを保持するのでDCパイアスモードが存在し物理的に もパワーオフができるのでパワーオフモードが存在す

RAM、疑似S-RAMがあるが、I Cメモリカードは 1 Cメモリカードとしての使用に難点がある。メインメ モリで説明したことから、S-RAMによる1Cメモリ /Oコントローラの個別制御部PRが観察コントロール **する。聚仮S-RAMの場合は、セルフ・リフレッシュ** [0203] 他方、RAMの場合は、D-RAM、S-カードは、DCパイアスモードをもつことができ、PI 贅強、脱着して使用されるので、D-RAMは実用上、 をもっているので現在してもフルパワーにしておけば、 ゲーク保持ができるがDCパイアスモードは設定しな い。D-RAMと同様に実用的にも難点がある。

● 阿平6-332683

ン技術により、システムが集積された場合、システムの CPUや個別のI/Oコントローサ、その他のメモリの **高数を慰御できるので、シリコン上の指数配力をシリコ** テムの動作や大規模しSIの安定性や量函性を確保する が進み、システムが1つのチップに集積された場合にお いても、CPUや他の1/0コントローラは、このパワ - マネージメントシステムによって、CPUや個別の I もっと遊んでウエファー・スケール・インテグレーショ システムはシリコンの上に集積されるが、上述した本発 ン全体に分散させることができる。即ち、安定したシス 【0205】大規模LS1化技術によって、相来、図3 明の分散パワー、マネージメント、システムによって、 低消費電力化がますます 肛型になってくる。このとき、 /0コントローラの電影を回御するように構成できる。 のようなシステムが1つのチップに塩積された場合や、

ができる。このことは、低消費電力化を実現させると共 【0206】また、半導体の周波数は、駆動電圧に依存 するという物性を有しており、顧動電圧を高くすると動 下陸を制御してシステム全体の処理選択を落すことがな いように制御することが可能になる。即ち、システムの 動作中は処理速度を上げ、非動作中は処理速度を下げる 作周波数を高くすることができ、耶動亀圧を低くすると 動作因数数を低くすることができる。上述した本発明の 分散パワー・マネージメント・システムは、電脳をコン トロールして駆動電圧をスイッチングしているので、フ ル・パワー・モードとDCパイアス・モードをもつこと に、システムの動作、非動作によって処理速度の上昇と 阿賀も可留になる。

【0207】図15は、図7に示されたパワー・コント ロールのプロック図に対応したパワー回貨の信与政形と 原御信号A, Bによってスイッチングされる亀数の動き を示すタイジング・チャートである。

【0208】即ち、図15は、外部のパワー・コントロ せる)を通してCPUや4/0コントローラのそれぞれ の配置をコントロールする即向信号A. Bの被形例を示 **-ヶ皓(野な、P 1 / 00ペワー・コントローケ・ポー** トからの入出力信号によって、制御信号A、Bを合成さ している。

【0209】なお、即御信号A, Bの政形はCPUやそ [0210] 図16は、本発明のパワー・コントロール れぞれの 1/0コントローラの機能的な物性やシステム によって異なる。

【0211】図16の個別制御部PRは、個別的御部P R自体でも略数をコントロールできるように併成されて の第2実施例の構成を示すプロック図である。

【0212】図16の個別創御部PRは、図1に示す本 発明のパワー・コントロールの第1英施例に対して、パ

ワー・コントロール十ろためのロジック・プロックが迫

[0213] 追加されたロジック・ブロックは、関仰ゲ ート16、及び関節ゲート16に複雑されたフリップ・フロ ップ17によって構成されている。

れぞれ入力し、フリップ・フロップ17は倒御ゲート16の 【0214】上記ロジック・ブロックでは、慰却ゲート |6||オマイクロ・オーダ及びデータ、レジスタの|||力ピッ トでもろパワー・コントロール・ピットの出力信号を予 のメン状態せたは オン状態に 茶んv. T. P.C.C.への人力店 王七に花んでハギン状智をたけオイン状態を形成した、こ **8 A I . B I & H Δ τ δ.**

ナートである。因17は、更に、慰御信号A,配御信号 【0215】因17は、このときのパワー制御の信号数 形でわる側御信号A、側御信号Bを示すタイミング、チ Bによって勧御される偏駁の勧きも示している。

ことができる。

トロールされるので、スタンパイ・モードに入るときは [0216] 卸卸信号Aは、個別制卸部PR自体でコン 陶製が-N'colt スイッチングもだめたも、配 Pァスク は図17に示すようになる。

ドでは動類が一Vcoにスイッチングされるため、図17 [0217] また、朗姆信号Bは、フル・パワー・モー に示すようになる。

【0218】 回ち、スタンパイ・モードにする信号が図 如情母日であり、フル・パワー、モードにする信号が創 的併与Aである。 [0219] 図18は、飯別包食供PR自体でパワー館 りA、向知信号Bの放形は、CPUやそれぞれの1/0 **街を行うときのプロック図を示している。なお、劒仰信** コントローラの機能的な特性やシステムによって異な [0220] 図19は、図18のCPUに関する構成を 許商に示す図である。

部PRと、個別回物部PRに被視されていると非にPC [0221] 図19に示すように、CPUは、個別句句 る。また、図19には、オン観光、オフ観光はトランジ スタ回路部と P C Cの協子A I,B I との聞を流れを示 Cにも接続されているトランジスタ回路部を備えてい

[0222] 図19に示すように、CPUや他の1/0 -CMOSはPCCの各場子AI, BIに被視されてい ると共に、CPUや他のI/Oコントローラに合まれて コントローラにはBi-CMOSが含まれており、Bi したいる。

【0223】投11は、図1のコマンド・レジスタによ いる個別的物節PRに被視されている。 るスワー・レギージメント合合やボナ。

[0224]

[3:1]

特間平6-332583

PI/O OCHONDEPRATIONのパワー・セネージメントを含

#\$044	######################################	*		ž
405.600	CR201 K+ 18	CR2 (1)	-	0
4-0445.	CR202E+18	CR 2 (2)	-	0
144-701	CR203K+18	CR 2 (3)	•	×
AND CONTROL	CR204K+18	CR2 (4)	-	0
DC/477.8-F	CR 205Ky 18	CR 2 (5)		0
C#42	CR206Ky)B	CR2 (6)	-	0
412764- A9\$7	CR20TK+18	CR 2 (T)	-	0
149941. 19-147	CR 208 K, 18	CR 8 (8)	-	0
7#·-6y	CRIOIKTE	CR1 (1)	۰	0
x8-K-90>	CRIO3K+1B	CR1 (3)	-	0
46.4-4x	CRIOSE+18	CR1 (8)	-	0
	CRIOSETE	CR1 (4)	0	×
	CR106E+18	CR 1 (6)	•	×
	CR1062+18	CR1 (6)	•	×
	CRIOTETE	CR 1 (7)	•	×
	CR108K+1	CR1 (0)	•	×
		'		1

[0226] [政12] ・・レジスタの構成内容を示す。 ・・レジスタの構成内容を示す。 コマンド・レジスタCR(8ピット×2本) [0225] 妻12は、妻11に示した図1のコマンド

CR2	CR1
ī	-
2	2
CL3	9
4	4
ß	r2
9	9
7	1
æ	20

[0228] [2813] 【0227】 投13は、図1のステイタス・レジスタの 構成内容を示す。

(パワー・オン時に予め、プログラムで命令をセットしておく)

(18)

ステイタス・レジスタSR (8ビット×2本)

SH 3	311/2	\$#1			11 1313	OI INS	E .	112
7	SWI 1	3 188	3HI 5	7 188	SKI J	1 11	= =	=

583, 582, 581:システムの伏蛇を示す

:マスター (主) とスレーブ (従) のスイッチ・フラッグ BBI (SRキー入力) : Man Hashilin Intirept (マスクできない前込)

3M | ~5M | 1] :Spiles Kangescol Interrept (システム管理による副込)

[0229] 表14は、表13に示した状態を投すSM 3, SW2, 及USM1の具体的な内容を示す。

[0230] [2814]

各デバイスの状態	4=5+94XKB	存在大器	物器状態	東行状態	未足器 (定義可能)					
SWI	0	-	0	-	0	-	0	_		
2 N S	0		-	1	0	0	-	-		
SW 3	0	. 0		0	1	-				

【0231】数15は、数13に示したSN 1~SNIIのス

[0232] [2815]

9444.4406

8

1/48 3/8@ 1/5番 175番 1/38

CLR2の1ピット目がセット CLR202K+ FB#4+ CLR2の3ピット目がセット

(19

特闘平6-332683

	N2P1/00X195.0399
381 I	V D C Ø SKI
	FMCOIN
	S 1 / O (II) ØSHI
) INS	DMACOIN
3 3 3 3	INTCOSKI
. J INS	CTCOSNI
1 185	RTCOSNI
	P 1 / 0 Ø \$ M
5 JA 5	S I / O (1) Ø881
9 185	KBCOIN
11 11	C P UØSKI

. 2022-21-7

[数18]

[0237]

スピード・ダウン 2K-1.7h

CLR204ビット目がセット CLR2の5ビット目がセット CLR2の6ビット目がセット CLR207E+1BM++

CLR 208 K+ 1804+

[0233] 数16は、図1のコントロール・レジスタの構成内容を示す。 [0234] [216] コントロール・レスタCLR (8ビット×2本)

CLR1 (944-7914)	
-	
2	
တ	
-	
10	
80	
-	
	
	7 6 5 4 3 2 1 CLR1

それぞれの低は、プログラムでセットする。

[0235]また、扱17及び投18は、コントロール・レジスタのクロック・ダウン低及びタイム・アウト値をそれぞれ示す。 [0236] [217]

	タイム・フウト値
 CLR1012, 18#t, 1	48
 CLR1の2ピット目がセット	80 40 40 40 40 40 40 40 40 40 40 40 40 40
 CLR1の3ピット目がセット	8
 CLR104ビット目がセット	生
 CLR1の5ピット目がセット	901
 CLR1の6ビット目がセット	#2
 CLR107ビ, 18がセット	<u> 49</u>
 CLR1の8ビット目がセット	25

【0238】 投19及び投20は、図1のデータ・レジ

スタの構成内容及び具体的な命令内容をそれぞれ示す。

[0239] [2819]

DR 2	DRI
1	1
- 2	. 2
es	3
4	4
5	5
9.	9
٦.	7
-	- 00

[0240]

j						6.F.14.XB	- 16.79 + 9°						M7-3210	-4261m2		
[#20]	: 0-6084	DRIGIETE	0R103K+18	DAIOSETE	DRIGATOR	DR1052,18	DR1084518	DR108K+ FE	DRZOIK+FE	DR SOSK + FB	DR2036718	DR204K+18	DRSOGK+18	OR208K; 18	OR 2017, 18	
	4908#	YDC@452710-W	PMCO-47 UV-10-A	81/0 (II) Ø	DMAC6/473210-A	INTCOVOBYRD-A	CTCO473278-A RTCO473278-A	P1/00493210-A	\$170 (1) @ \$-947E94	KBC6vt73vhg-A	CPUO-4737-6-A	#1276-119-127	16.2941.1947	14947	×404>	#1.X704/1199341

[0241] 投11~投20H、多様なパワー・ヤキー ジメント命令がある中でその一倒であり、また命レジス クの構成内容も多様である中での一倒である。

DR2087718

142--47

図22のフローチャートをそれぞれ参照して、図1に示 [0242]次に、上記表11∼安20、及び図20~ ↑PI/Oの匈別型御街PRのパワー・サネージメント の動作がシステムアプリケーションによって種々わる中 た、その一例を説明する。

【0243】まず、図9に示す並列入出力コントローラ

因別制御部 B R を構成しているコケンド・レジスタ C R をF306にセットすると共に、ステイクス・レジスタ SR、コントロール・レジスタCLR、及びデータ・レ ジスタDRをそれぞれ0000 (各数値はhexiadecimal を安す) にセットして (ステップS2) 、PI/0の歯 **弁-ト~粧4共-ト、粧1グルーグ・コントロール、双** び第2グループ・コントロールをそれぞれ初期化(イニ シャライズ) して (ステップSI)、図1のP1/0の (P1/0) を構成しているコマンド・レジスタ、第1

0, SM2&1, BUSM1&0にそれぞれセットして い附込" (Non-Maskable Interrupt, 以下、NMIと称 フラッグ (以下、M/Sと称する) も同時に1ドセット (ステップS7)、"特遊状態"(投14部間)を形成 アップS4)、上也ステップS4でイニジャライズが終 (ステップS5)、上記ステップS5でSKキーの製込 返して実行し、上記ステップS5でSKキーの敷込があ った(YES)と判定された場合には、"マスクできな する)を1にセットすると共に、マスター/スレーブの がない(NO)と判定された場合には、上記ステップS 別飯物部 B R をイニシャライズ状態に敷怠し(ステップ S3)、イニシャサイズが終了したが治かを判定し(ス Jしていない(NO)と判定された場合には、スペシャ 3 に戻って S Kキーの置込があるまたゲーアィンを繰り ゲ、キー(S Kキー)の敷込がわったが泊かや牡ぼし し (ステップS5) 、システムの状態を没すSM3を

[0244] ここで、図23を存服して、処理1の内容 [0245] 図23に示すように、処理1では、コマン を脱明する。

し (ステップS8) 、処理1を実行する (ステップS

2)、クロック・ダウン値を1/8倍 (数17事照) に S) (即ちクロックをコントロールする) と判定された 協合には、コントロール・レジスタCLR2の2番目の ピットCLR2 (2) 老1にセットして (ステップS9 が1でない(NO)と判定された場合には、処理を終了 ド・レジスタCR2の2番目のピットCR2 (2) が1 か)を判定し (ステップS 9 1)、上配ステップS 9 1 上記ステップ 591 でコマンド・レジスタCR2 (2) セットして処理を終了する(ステップS93)。また、 であるか否か(即ちクロックをコントロールするが否 でコマンド・レジスタCR2 (2) が1である (YE

ップS10)、上記ステップS10でSKキーの割込が の割込があった(YES)と判定された場合には、NM ば、再びSKキーの製込があったか否かを判定し(ステ ない(NO)と判定された場合には、上包ステップSB 1及UM/Sをそれぞれのにリセットし (ステップSI 1)、SM3, SM2, 及びSM1を0に, コントロー ル・レジスタ C L R を O O O O にそれぞれリセットして の"待避状態"に戻り、上記ステップS10でSKキー [0246] 図20に戻って、処理1を終了したなら (ステップS12) 、上記ステップS3に戻る。

の報込があったか否かを判定し (ステップS15)、上 "存值状態" な形成され(ステップS14)、 SK キー 因ステップS15でSKキーの数込があった(YES) SM1を1にそれぞれセットして (ステップS13)、 [0247] 続いて、因20及び図21に示すように、 S) と判定された場合には、SM3を0, SM2を0, ・上的ステップS4セイニシャライズが終了した(YE

ットして (ステップS11)、"や遊状盤" (及し4件 に、M/Sも同時に1にセットレ (AアップS16) 、 SM3を0, SM2を1, 及びSM1を0にそれぞれた と判定された場合には、NM1を1にセットすると共 照)を形成し (ステップS18)、処理2を実行する

[0248] ここで、図24を参照して、処型2の内容 (スチップS19)。 を配別する。

レジスタDR2の4番目のピットDR2(4)を1にセ ・アジスタロR2の5毎日のアットDR2 (5) を1に セットし (ステップS194) 、パック・ライトセオフ であるか否か、(即ち、パワーをオフするか治か) を判定 ンド・レジスタCR2(6)が1でわる(YES)(母 ットし (ステップS192) 、 ダイスブレイ・パワーを オフ(投20奪服)して(ステップS193)、ゲータ [0249] 図24に示すように、処理2では、コマン F. L3x & CR 2 06 BO Cy L CR 2 (6) #1 し (ステップS191) 、上記ステップS191 でコマ ちパワーをオフする)と初定された。合には、データ・

タトレジスタDRの内容を知1ポートに出力して(ステ [0250] 観いて、コマンド・レジスタCR2の5巻 目のピットCR2 (5) が1であるか否か (即ち、DC 6)、上記ステップS196でコマンド・レジスタCR 2 (5) が1である (YES) (即ちDCパイアス、モ DR&1PFFにセットし (ステップS197) 、ゲー ップS198)、DCパイアス・モードを形成する (ス - ドでわる)と社位された場合には、ゲータ・レジスタ パイプス・モードか否か)を判定し (ステップS19 (数20奪服) する (ステップS195)。

R2 (2) が1である (YES) (脚ちクロック・コン トロールである)と判定された締合には、コントロール ·レジスタCLR2の8 目のピットCLR2 (8) 社 1にセットし (ステップS1911)、クロック・スト [0251] 更に、コヤンド・レジスタCR2の2番目 のビットCR2(2)が1でわるが泊か(却ち、クロッ 0)、上的ステップS1910キョャンド・レジスタC ク・コントロールか否か) を判定し (ステップS191 ップ (投114年間) を形成する (ステップS191 7~7S199).

/Sをそれぞれのにりセットレ (ステップS21)、S レジスタCLRを0000に、ゲーク・レジスタDRを ば、耳びSKキーの観込があったか治かを判定し(ステ ップS20)、上粒ステップS20でSKキーの敷込が あった(YES)と判定された場合には、NM1及UM 0000にそれぞれりセットして (ステップS22)、 [0252] 図21に戻って、処理2を終了したなら M3 &USM2 &OIC, SM1 &1 IC, コントロール データ・レジスタロRの内容を飾1ポートに出力して (ステップS23)、上包ステップS14に反る。

(22)

₩ 58 ₩ 6-332583

[0253]また、上配ステップS20でSKキーの割込がない(NO)と判定された場合には、コマンド・レジスクCR1の1番目のピットCR1(1)が1であるか否か(問ち、パワー・オンか否か)を判定し(ステップS24)、上配ステップS24でCR1(1)が1でない(NO)と判定された場合には、上配ステップS1 8に戻り、他方、上配ステップS24でCR1(1)が1でない(NO)と判定された場合には、上配ステップS24でCR1(1)が1でない(NO)と判定された場合には、上配ステップS1 8に戻り、他方、上配ステップS24でCR1(1)が1でない(NO)と判定された場合には、上配ステップS1 8に戻り、他方、上配ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスクロR2の8番目のピットDR2(8)を1にセットして、ステップS26)、プイスプレイ/パックライトをオンにして(ステップS26)、上配ステップS18

[0264]上記ステップS15でSKキーの創込がない (NO) と判定された場合には、処理3を実行する (ステップS21)。

【0255】ここで、図25を存用して、処理3を収明 ナる。

SM12 が1でない(NO)と判決された場合には、D を1にセットし (ステップS271) 、"システム管理 ン)し (ステップS213) 、上配ステップS212で SMII が1でない (NO) と判定された場合には、D [0267] 概いて、SM12 が1であるか否かを判定 ソ) し (ステップS276) 、上記ステップS275で 【02S6】図25に承すように、処理3では、M/S SMIと称する))のSMII が1であるか否かを判定 し (ステップS272) 、上記ステップS272でSM 11 が1である (YES) と判定された場合には、デー し (ステップS215)、上記ステップS215でSM タ・レジスタDR1の1 BのピットDR1 (1) を1 12 が1である(YES)と判定された場合には、デー タ・レジスタDR1の2 目のピットDR1 (2) を1 による附込 " (System Management Interrupt (以下、 にセット (町ち、FMCのパワー・コントロールもオ にセット (即ち、VDCのパワー・コントロールをオ R1 (1) を0にセットする (ステップS274). R1 (2) を0にセットする (ステップS277).

R1 (2) を0にセットする (ステップS277)。
[0268] 以下、SM13 が1であるか否かを判定し (ステップS278)、上配ステップS278でSM13 が1である (YES)と判定された場合には、データ・レジスタDR1の3番目のピットDR1 (3)を1にセット (即ち、S1/O (11)のパワー・コントロールをオン)し (ステップS278で SでSM13 が1でない (NO)と判定された場合には、DR1 (3)を0にセットする (ステップS271は、DR1 (3)を0にセットする (ステップS271

[0259] 同級に、SM14 が1であるか否かを判定 し (ステップS2711)、上配ステップS2711で SM14 が1である (YES) と判定された場合には、 デーテ・レジスタDR1の4番目のピットDR1 (4) を1にセット (即ち、DMACのパワー・コントロール

をオン)し (ステップS2712)、上四ステップS2711でSM14 が1でない (NO) と判定された場合には、DR1 (4) をのにセットする (ステップS27には、DR1 (4) をのにセットする

レジスタDR1の6番目のピットDR1 (6) を1にセ 【0260】SM15が1であるか否かを判定し (ステ レジスタDR1の5番目のピットDR1 (6) を1にセ し (ステップS 271S) 、上記ステップS 2714で SM15 が1でない (NO) と判定された場合には、D 【0261】SMI6がIであるか否かを判定し (ステ が1である (YES) と判定された場合には、データ、 ット (母も、CTCのパワー・コントローが教者ン) し (ステップS2718)、上記ステップS2717でS MI6 が1でない (NO) と判定された場合には、DR [0262] SM17 が1であるか否かを判定し (ステ ップS 2 7 1 4) 、上記ステップS 2 7 1 4 で S M 15 が1である(YES)と判定された場合には、データ・ R1 (5) 20 Ctorto (77 27 S 27 16). ップS 2 7 1 7)、上記ステップS 2 7 1 7 で S M 16 ット (目も、INTCのパワー・コントロールをオン) 1 (6) を0にセットする (ステップS2719).

プS2723でSM19 が1でない (NO) と判定され レジスタDR1の7番目のピットDR1 (7) を1にセ ット (凹ち、RTCのパワー・コントロールをオン) し (ステップS2721)、上記ステップS2720でS MI7 が1でない (NO) と判定された場合には、DR [0263] 同様に、SM19 が1であるか否かを判定 し (ステップS2723)、上記ステップS2723で **巻1にセット (智も、S1/0 (1) のパワー・コント** ロールをオン)し (ステップS2724) 、 上配ステッ た場合には、DR2 (1) を0にセットする (ステップ ップS2720)、上記ステップS2720でSM17 が1である(YES)と判定された場合には、データ・ ゲータ・レジスタDR2の1番目のピットDR2 (1) SMI9 が1である (YES) と判定された場合には、 1 (7) を0にセットする (ステップS2722)。 \$2725).

[0264] SMIIOが1であるか否かを判定し (ステップS 2726)、上記ステップS 2726でSMIIOが1である (YES) と判定された報告には、ゲーケ・レジスタDR 2の2番目のビットDR 2 (2) を1だセット (間ち、KBCのパワ・コントロールをオンし (ステップS 2726でSMIIOが1でない (NO) と判定された場合には、DR 2 (2) を0にセットする (ステップS 2726 (ステップS 2729)、上記ステップS 2729でS MIIIが1である (YES) と判定された報告には、デーケ・レジスタDR 2の3番目のピットDR 2 (3) を1にセット (即ち、CPUのパワ・コントロールをオ

ソ) L (ステップS2730)、上的ステップS2729でSMIIIが1でない(NO)と社位された場合には、DR2(3)をOにセットする(ステップS2731)。これらゲータ・レジスタDRの内容をP1/Oの窓1ボートに出力して(ステップS2732)、DCペイアス・モードを設定する(ステップS2732)。町ち、地震3では、SMIの要求があったデバイスのバワーキコントロールする。

[0266] 図21に戻って、処理3を除了したならば、実行イベントがあるか否かを判定し (ステップS28)、上記ステップS28で実行イベントがない (NO)と判定された場合には、コマンド・レジスタCR2の1番目のピットCR2(1)が1であるか否かを更に判定し (ステップS29)、上記ステップS29でCR2(1)が1でない (NO)と判定された場合には、上記ステップS29でCR2(1)が1である(VES)と判定された場合には、上記ステップS29でCR2(1)が1である(VES)と判定された場合には、コントロール・レジスタCLR2の3番目のピットCLR2(3)を1にセットして (ステップS30)、クロック・ダウン値を1/12低に設定する (ステップS31)。

1 1 3).

【0261】他方、上記ステップS28で契行イベント 形成し (ステップS35)、プリント命令があるか否か ータ・レジスタDRをそれぞれ0000にセットすると 27533) , SM3 & O E., SM2 & I E., SM1 & 1にそれぞれセットし (ステップS34) 、実行状態を リントからがない (NO) と判定された場合には、SK がある(YES)と判定された場合には、ステイタス・ レジスタSR, コントロール・レジスタCLR, 及びデ 同時に、M/Sを0にセットし (ステップS32)、 デ ータ・レジスタDRの内容を算1ポートに出力し (ステ を判定し (ステップS36) 、止配ステップS36でプ と判定された場合には、NMI及びM/Sをそれぞれ1 にセットし (ステップS38)、SM3を0に, SM2 を1に、そしてSM1を0にセットして (ステップS3 9) 、特徴状態を形成して(ステップS40)、処理4 キーの酌込があるか否かを判定し(ステップS37)、 上覧ステップS37でSKキーの製込がある (YES) を実行する (ステップS41)。

EXLID (ヘ/ソ/341/)。 [0268] にこで、図26を存開して、処理4を収明 FS. [0269] 図26の処理4では、コマンド・レジスグ CR2の7番目のピットCR2 (7) が1であるか高か を判定し (ステップS411)、上配ステップS411 でCR2 (7) が1である (YES) と相定された場合 には、ゲータ・レジスタDR2の4番目のピットDR2 (4) を1にセットし (ステップS412)、ディスプ レのパワーをオンに観定し (ステップS413)、コマンド・レジスタCR2の8番目のピットCR2 (8) が 1であるか高かを判定し (ステップS413)、上配ス

2 (2) を1にセットして (ステップS4112)、ク S) 、パック・ライトのパワーをオフに散定し (ステッ である(VES)と粒配された場合には、ゲータ・レジ 目のピットCR2 (1) が1であるか否かを判定し(ス テップS4111)、上記ステップS4111でCR2 (1) が1である (YES) と物定された場合には、コ ントロール・レジスタCLR 2の2数目のピットCLR 72784147CR2 (8) MITAS (YES) & 判定された場合には、データ・レジスタDR2の5番目 のピットDR2 (5) を1にセットし (ステップS41 **プS 416)、コマンド・ワジスタCR2の5辞目のど** ットCR2 (S)が1であるか否かを判定し (ステップ S417)、上記ステップS417でCR2 (6) が1 ゲータ・レジスタDRの内容を第1ポートに出力し(ス アップS419)、DCパイアス・モードに設定し (ス テップS4110)、コマンド・レジスタCR2の1容 ロック・ダウン領を1/8倍に散定する (ステップS4 スタDRをIFFFにセットレ (ステップS 4 1 8) 、

【0270】図22に戻って、処理4を実行したならば、再びS Kキーの附込があったか否かを判定し (ステップS 42)、上配ステップS 42でS Kキーの附込があった (VES) と判定された場合には、NM I 及びM / Sをそれぞれのにリセットし (ステップS 43)、コントロール・レジスタ C L Rを0000に、データ・レジスタ D Rを000にそれぞれリセットして (ステップS 44)、上記ステップS 3 5 以反ふ。また、上記ステップS 4 2でS Kキーの関込がない (NO) と判定された場合には、上配ステップS 4 0に反る。

[0271] 上記ステップS37で、SKキーの似込がない (NO) と判定された場合には、処理5を実行する(ステップS45)。

[0272] ここで、図27を書照して、処頭5を税明

[0274] SM12 が1であるか否かを判定し (ステ である(YES)と判定された場合には、データ・レジ スタDR1の2番目のピットDR1 (2) を1にセット (問む、FMCのパワー・コントロールもギン) つ (メ [0273] 図21の処理5では、M/Sを1にセット 判定し(ステップS452)、上配ステップS452で ◆1 にセット (買ち、VDCのパワー・コントロールを オン) し (ステップS453) 、上記ステップS4S2 ップS465)、上記ステップS465でSM12が1 テップS4S6)、上記ステップS455でSM12が し (ステップS4S1) 、SMIIが1であるか浴かを DR1 (1) #022 + + + 5 (37) 7 S 4 5 4) . 1でない (NO) と判定された場合には、DR1 (2) データ・レジスタDR1の1番目のピットDR1 (1) でSMII が1でない(NO)と判定された場合には、 SMII が1である(VES)と判定された場合には、

₹

* 特話平6-332583

である(YES)と判定された場合には、データ・レジ (智も、SI/〇(11)のパワー・コントロールキド ン) し (ステップS459) 、上記ステップS468で SM13 が1でない (NO) と判定された場合には、D し (ステップS4511)、上記ステップS4511で を1にセット (即ち、DMACのパワー・コントロール 511でSM14が1でない (NO) と地位された場合 には、DRI (4) を0にセットする (ステップS45 スタDR1の3番目のピットDR1 (3) を1にセット 【0276】同僚に、SM14 が1であるか否かを判定 をオン) し (ステップS 4 5 1 2) 、上記ステップS 4 【0275】SM13 が1であるか否かを判定し (Aデ ップS458)、上記ステップS458でSM13 が1 RI (3) を0にセットする (ステップS4510)。 ゲータ・レジスタDR1の4韓目のピットDR1 (4) SM14 が1である (YES) と判定された場合には、 を0にセットする (ステップS457)。

(ステップS4518)、上型ステップS4517でS [0279] SM17 が1であるが否かを判定し (ステ レジスタDR1の7番目のピットDR1 (7) を1にセ ット (即ち、RTCのパワー・コントロールをオン) し (ステップS4521)、上配ステップS4520でS 【0277】SM15が1であるか否かを判定し (ステ レジスタDR1の5 月のピットDR1 (5) を1にセ し (スチップS4515)、上館ステップS4514で SMIS が1でない (NO) と判定された数合には、D [0278] SM16 が1であるか否かを判定し (ステ ップS4517)、上記ステップS4517でSM16 が1である (YES) と判定された場合には、データ、 レジスタDR1の5番目のピットDR1 (6) を1にセ ット (町も、CTCのパワー・コントロールやオン) し M16 が1でない (NO) と判定された場合には、DR が1である (YES) と判定された場合には、データ・ M17 が1でない (NO) と判定された場合には、DR [0280] 続いて、SM19 が1であるか否かを判定 ップS4514)、上配ステップS4514でSM15 ット (回ち、INTCのパワー・コントロールやオン) ップS4520)、上記ステップS4520でSM17 がIである(YES)と判定された場合には、データ・ RI (5) を0にセットする (ステップS4515)。 1 (7) をのにセットする (ステップS4522)。 1 (5) を0にセットする (ステップS4519)。

1). これらデータ・レジスタDRの内容をP1/0の レジスタDR2の2番目のピットDR2 (2) を1にセ [0282] 同様に、SM111が1であるか否かを判定 第1ポートに出力して (ステップS4532) 、DCペ 1であるか否かを判定し (ステップ54534)、上記 5) と判定された場合には、コントロール・レジスタC LR2の6番目のピットCLR2 (6) を1にセットし ップS 4 5 2 6)、上記ステップS 4 5 2 5 でSM I 10 オン) し (ステップS4530) 、上記ステップS45 は、DR2 (3) を0にセットする (ステップS453 イアス・モードを設定し (ステップS 4 5 3 3) 、 コマ ンド・レジスタCR1の2番目のピットCR1 (2) が (ステップS4535)、クロック・ダウン値をスピー が1である (YES) と判定された場合には、データ・ ット (哥も、KBCのパワー・コントローグやギン) つ (ステップS4627)、上記ステップS4526でS し (ステップS 4529)、上配ステップS 4629で 春1にセット (母も、CPUのパワー・コントロールを 29でSMIHが1でない (NO) と判定された場合に 【0281】SM110が1であるか否かを判定し (AF M110が1でない (NO) と判定された場合には、DR ゲータ、レジスタDR2の3番目のピットDR2 (3) SMIIIが1である (YES) と判定された場合には、 ステップS4634でCR1 (2) が1である (YE 2 (2) を0にセットする (ステップS4528)。 ド・ダウンに敷倒する (ステップS4535)。

テップS45でCR1 (3) が1でない (NO) と判定 CLR2の7番目のピットCLR2 (7) を1にセット ド・フルに数定し (ステップS48)、M/Sを0に数 **定し (ステップS49) 、プリントを出力し (ステップ** S50)、SKキーの間込があったか否かを判定し (ス テップS51)、上記ステップS51でSKキーの割込 プS38に戻り、上記ステップS42でSKキーの製込 定し (ステップS53)、上記ステップS53で実行が 終了していない (NO) の場合には上記ステップ535 に戻り、上記ステップS53で実行が終了しいる(YE S)の場合には、M/Sを0に、ステイタス・レジスタ [0283] 図22に戻って、上記ステップ536でプ リント命令がある (YES) と判定された場合には、コ が1であるか否かを判定し (ステップS46)、上記ス た、上記ステップS46でCR1(3)が1である(Y ES)と判定された場合には、コントロール・レジスタ があった(YES)と判定された場合には、上配ステッ して (ステップS47) 、クロック・ダウン値をスピー がない(NO)と判定された場合には、上述した処理N o.3を処理し (ステップS 5 2) 、実行終了か否かを判 **マンド・レジスタCR1の3番目のピットCR1 (3)** された場合には、後述するステップS49に進む。ま

4)、 ゲータ・レジスタDRの内容を第1ポートに出力 タDRを0000にそれぞれりセットし (ステップS5 L (ステップS55)、SM3を0に、SM2を0に、 SM1を1にそれぞれリセットして (ステップ55 6)、上並したステップS14に戻る。

2 実施例を組合わせた構成を示しており、各構成節分や [0284] 図28は、図7の第1実施例と図18の第 助作は第1 実施例及び第2 実施例にそれぞれ対応してい

[0285] 図29は、本独形のパワー・コントロール るので説明を省略する。

/O) コントロー9に個別倒御部 B R を存たないで、外 **ータを用いて、低級コントロールやクロック周級数を**助 **笋(コントロール)したパワー・コントローケナも結ぶ** [0286] 図29の実施例は、CPUや各入出力(I **部に数けられれ道能よく包られているトイクロコンパュ** の節々実施側の構成を示すプロック図である。

[0287] 図29の構成は、図7及び図28の構成と 数位しているが、パワー・コントロールの部分がヤイク ロコンアュータで辞扱されている。

(ALU)、レジスタRE、1/0がートが心痛されて U) には、リード・オンリー・メモリ(ROM)、ラン ダム、アクセス、メモリ(R AM)、算術論理値算装置 [0288] v1/002/K2-8.25/ (MC

[0289] この液筋密では、P1/0の斑1ガートか トを設定(セット)して、このゲータ・レジスタの内容 ヤマイクロコンアュータの1/0ボートに出力した、や ロコンアュータのR OMに配替されているプログラム命 合によってマイクロコンピュータが役出すれば、レジス タR Eの中で割り付けられたゲータ・レジスタにCP U や各1/0コントロータのパワー・コントロール・ピッ ちのパワー・コントロール入力信号があることをマイク れぞれの電腦を制御するように構成されている。

は、マイクロコンピュータの1/のボートから出力され るクロック・コントロール信号によって行われるが、図 (0, 0) のと色には16MHI、(0, 1) のときに 段階のクロック周波数を設定することが可能である。例 29に示すように、2つの出力信号を用いるときは、4 大ばクロック・コントロール信号 (cc2, cc1) が 【0290】また、クロック周辺敷のコントロールに 18MHz, (1, 0) 02ekt14MHz, (1,

【0291】クロック周波数のコントロールは、観凝コ ントロールと回じようにP1/Oからの入力信号をマイ 1)のときにはこ2MHェのように設定できる。 クロコンピューケが設出した行なわれる。

し (ステップS4523)、上記ステップS4623で

【0292】マイクロコンピュータのROMに配像され

小笛号cc2やクロック、コントロール信号cc1によっ

SR, コントロール・レジスタCLR, ゲータ・レジス

た塩合には、DR2(1)を0にセットする(ステップ

参1にセット (邸ち、S1/O (1) のパワー・コント ロールをオン)し (ステップS4524) 、 上配ステッ プS4523でSM19 が1でない (NO) と担応され

ゲーケ・レジスタDR2の1番目のピットDR2 (1)

SMI9 が1である(YE5)と地配された場合には、

よく知られた方法であり、また、クロック・コントロー

たプログラム命令によって入力信号を役出する方法は、

てクロック周波数をコントロールする回路は、通常の方 **芯で実現できるので物に図示しない。**

は、システムの動作中において常にPI/Oからが入力 【0293】 マイクロコンピュータに供給される観察 信号を監視 (WATCH) していなければならないの で、危険の電圧Vocが供給される。

[0294] 図30は、本第明のパワー・コントロール の気も実施例の構成を示すプロック図である。

しているが、電力コントロール回路PCCの構成が異な [0295] 図30の構成は、図29に承す構成と類似 る。因30の構成では、CPUや各1/0コントローラ **今外部に数けて監察コントロールやクロック困殺数やコ** ントロールして、パワーコントロールするように構成さ **に会凹医智符PRやなれないた、トイクロコンアュータ**

タREの中で割り付けられたデータ・レジスタにCPU トを散症(セット)して、このゲータ・レジスタの内容 をマイクロコンピュータの1/0ボートに出力して、シ ロコンピュータのROMに配位されているプログラム命 **合によったケイクロコンアュータが復出すたば、アジス** やみ1/0コントロータのパワー・コントロール・アッ 【0296】この実施室では、P1/00部1ポートか らのパワー・コントロール入力信号があることをマイク ステムの危奴を割留するように構成されている。

[0298] クロック周殻敷のコントロールは図29の 0 コントローラを悩みに勧奪しないで、 出にシステムの 母令と回答に、 タイクロコンアュータの 1 / 0 ボートむ ら出力されるクロック・コントロール信号によって行わ れて、2つの出力信号を用いるときは、4段階のクロッ ・コントロール信号 (c c2. c c1) が (0, 0) のと (1. 0) のときには4MHz、(1, 1) のときには [0297] 即ち、図30の構成では、CPUや各1/ ク周政数を設定することが可能である。例えばクロック **壱右島、学覧台取れ朽ったペワー・ロントローラナる。 きには16MHz、(0,1)のときには8MHz、**

ントロールと同じように P.1/0からの入力信号をマイ [0299] クロック周徴数のコントロールは、値模コ クロコンピュータが復出して行なわれる。 こ2MHzのように飲定できる。

[0300] マイクロコンピュータのROMに配信され V間号cc2やクロック・コントロール値号cc1により **トクロック国政教をコントロールする回路は、追称の方** よく知られた方法であり、また、クロック・コントロー たプログラム命令によって入力信号を後出する方法は、 法で実現できるので物に図示しない。

は、システムの動作中において常にP1/0からの入力 【0301】 レイクロコンアュータに収拾される制設 信号を監視 (WATCH) していなければならないの

【0302】上第1九図29や図30に示す構成におい で、動産の電用Vocat和格される。

(36)

C、システム・アプリケーションによっては、CPUや [0303] 図31は、本税即のパワー・コントロール 困々の特徴を包替しないできょめて共通免疫にして怠働 **する方法を組み合わせて、単一のマイクロコンピュータ** 81/0コントローラの個々の配版を制御する方法と、 によってパワーコントロールするにとも回館である。

[0304] 図31は、図7に示す構成と類似している #, CPU, P1/O, S1/O, . . . , FMC, V DCのそれぞれが個別側御部PRを備えている場合の構 の数6英施例の構成を示すプロック図である。

よる動作と多少異なるが、CPU等がそれぞれ個別問節 [0305] 図31の構成による動作は、図7の構成に BPRを持っている図3の構成による動作と同様なの で、ここでは奴別を省略する。

ッグによるパワー・コントロールの領φ回路も容易に実 [0306] なお、投17のクロック・ダウン値や投1 8のタイム・アクト値を散定する制御回路は、知られて 女20に示されるパワー・コントロール定義可能なフラ いる方法で決別できるので物に図示していない。また、 見できるので、図示していない。

る耐御では、P 1/0の個別的御節P RがSM 18 を検 [0301]恕1斑筋倒では、P1/0のSM18 を被 Uや1/0コントロータ自体でパワー・コントロールナ 出する何を示していないが、第2英施例のように、CP 出して、PI/OのDCパイアス・モードを飲怠する。 [0308]

英国は、符合化された電力マネージメント命令を復身し て配位すると共に復与された魅力マネージメント命令に 【0309】類2発明のデジタル電子機器用電力制御装 政府なれたホードに揺んいて入出力を財御して消費的力 を低減するので、効率よく処理装置毎に個々に鑑力を制 【発明の効果】 第1 発明のデジタル配子機器用配力制御 関を備えた処理数圏は、配徴を所定のモードに散定して で、処理にヘデジタル粒子破器の配力を回答できる。

ステムは、処理装置の複数の電力を所定の方法により制 【0310】 第3発明のデジタル電子機器用電力管理シ 卸してシステム会体の消費気力を低減するので、システ **機器用電力管理システムを構成でき、その結果、各構成** 4の配力を悩々に創御して、自由度が高いデジタル電子 8分で痛めて描むへパワータネージメントを行ってシス アム会体の消費電力を大きく低減できる。

[0311] 本発明の処理装備は、外部に設けられたマ (クロ・コンピュータにより配版またはクロック周波数 を即仰して魅力消費を低減させるので、効率よく処理装 R年に関々に配力を制御できる。

【0312】本発明のデジタル電子機器用電力管理シス テムは、デジタル電子機器用電力制御装置が複数のプロ

グラム命令を有しており、デジタル電子機器用電力制御 コントローラの全てまたは一部に備えられており、デジ 基ろいて中央処理装置及び各種入出カコントローラの電 力制御を行ってシステムの魅力消費を低減するので、シ ステムの電力を倒々に割御して、自由度が高いデジタル 電子機器用電力管理システムを構成でき、その結果、各 装置がシステムを構成する中央処理装置及び各種入出力 タル電子機器用電力制御装置の複数のプログラム命令に **低点部分で値もと描かへパワーをネージメントを行って** システム全体の消費電力を大きく低減できる。 |図面の簡単な説明|

[図1] 本発明のデジタル電子機器用電力管理装置の-英雄倒である個別制御師の構成を示すプロック図であ

[図2] 図1の個別簡句節の動作を説明するためのフロ

【図3】図1の個別制御節を備えたシステムの一構成例 -チャートである。

[図4] 転額がフルーパワー及びDCパイアスに変化し たときの電源の動作を示す呪明図。 を示すプロック図である。

|図5 | 図3のシステムの状態図である。

[図6] 色質コントロール回路の一様収倒を示すプロッ ク図である。

【図7】図6の電板コントロール回路を用いたシステム の一種成例を示すプロック図である。

【図8】図7のCPU部分の一構成例を示す説明図であ

【図9】図1の個別制御師を有する並列入出力コントロ - ラの一様成例を示すプロック図である。 【図10】図9のコントローラに対応する個別制御部の [図11] 図9及び図10の並列入出力コントローラの レジスタの一様成倒を示すプロック図である。

【図12】図1の個別制御部を有する中央処理装備 (C PU)の一構成例を示すプロック図である。 状酸因である。

【図13】図12のCPUに対応する個別回算部のレジ スタの一様成例を示すプロック図である。

【図15】図7に示されたパワー・コントロールのプロ Bによってスイッチングされる観点の動きを示すタイミ [図14] 図12及び図13のCPUの状態図である。 ック因に対応したパワー制御の信号被形と創御信号A, ソグ・チャートである。

[図16] 本発明のパワー・コントロールの第2実施例 であり匈囚烈御田田田子でも民族をコントロークできる様 **収を示す個別数句的のプロック図である。**

【図18】 個別勧御即自体でパワー助御を行うときのツ ハング・チャートである。

【図17】図16の実施例の動作を配明するためのタイ

【図19】図18のCPU部分の一構成例を示す収明図 ステムの一様成例を示すプロック図である。

[図20] 図1のP1/Oを構成する個別創御部の動作 を説明するための第1のフローチャートである。

図21】図1のP1/0を構成する個別節質部の製作 |図22] 図1のPI/Oを構成する個別類類部の動作 を説明するための第2のフローチャートである。

の様成を示すプロック図である。 の構成を示すプロック図である。

ナブロック図である。

[図23] 図20の処理1を説明するためのフローチャ を説明するための第3のフローチャートである。

[図24] 図21の処理2を説明するためのフローチャ ートである。

- htb5.

|図25||図21と図22の処理3を収別するためのプ |図26||図22の処理4を説明するためのフローチャ ローチャートである。

[図27] 図22の処理5を収明するためのフローチャ -トである。 **ートである。**

10 リードオンリメモリ (ROM) 【你母の説明】

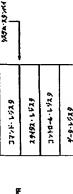
11 プログラム配物部

12 アドレスカウンタ

の無項やボナブロック図である。

13 型句命 セフジスタ 14 慰労命令アコーダ 15 レジスタ・グループ

[0]区



4-9-1739

90M

シスタム スタッバイ

254PX-1529

37151579

[題13]

\$1494.19X9 27HO-4-1/28 8847.C468 9-9-19AP

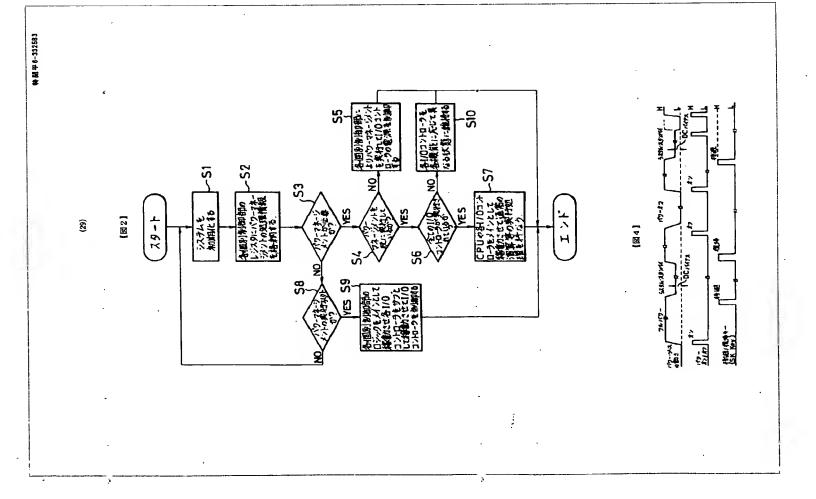
区3

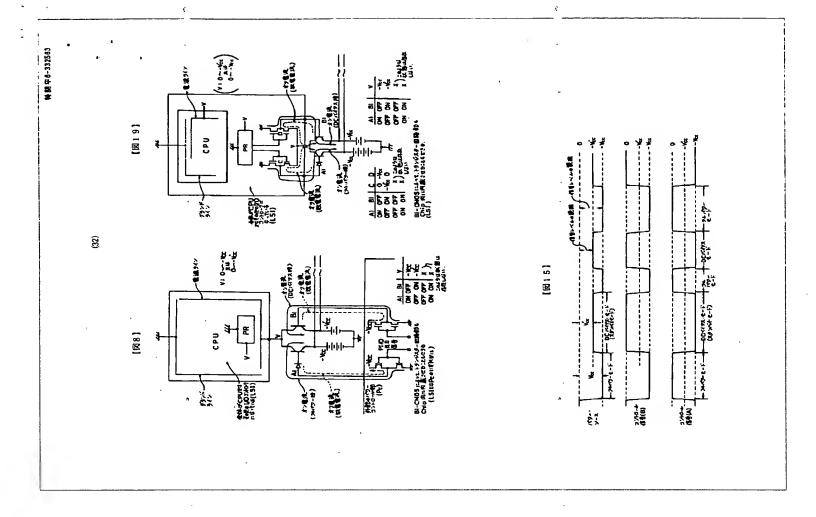
C3547 を知っているとの

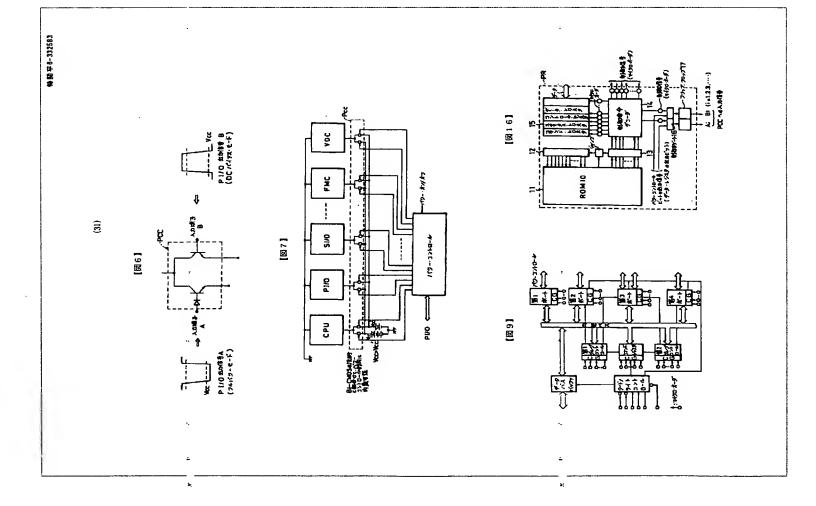
88

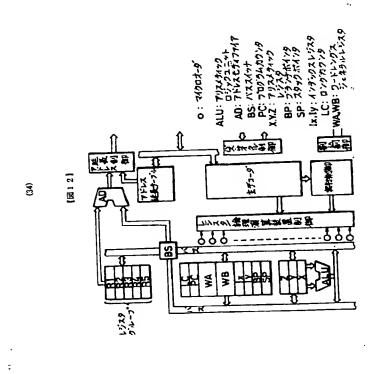
★6 中6-332583

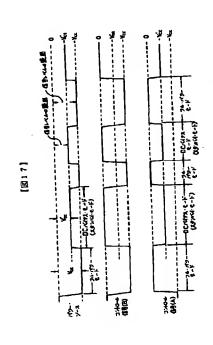
[図28] 本発明のパワー・コントロールの第3段施例 である第1 英施例及び第2英施例を組合わせた構成を示 【図29】本部男のパワー・コントロールの館4段箱倒 【図30】本発用のパワー・コントロールの類5実施例 【図31】本類則のパワー・コントロールの煎6契箱倒

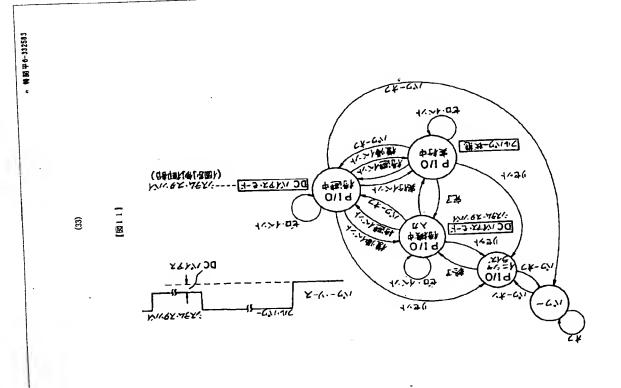


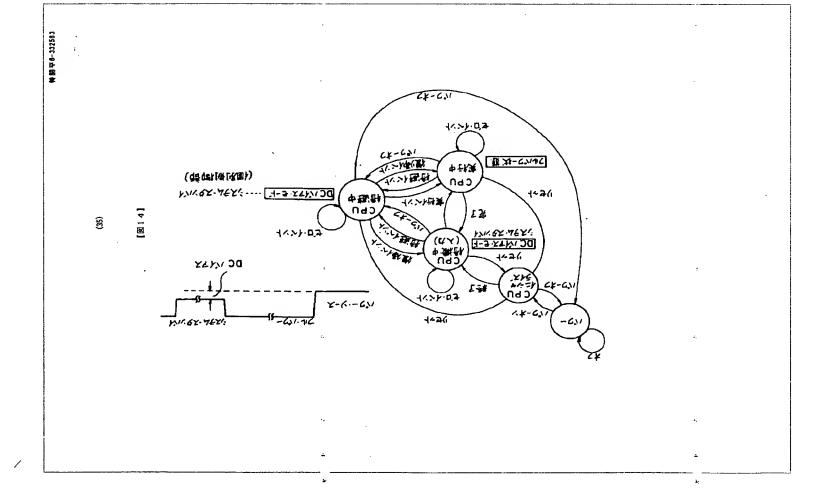


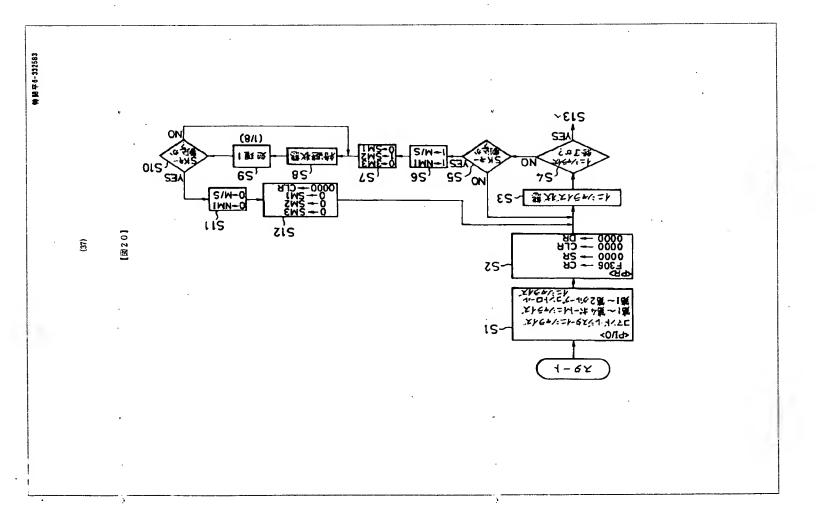


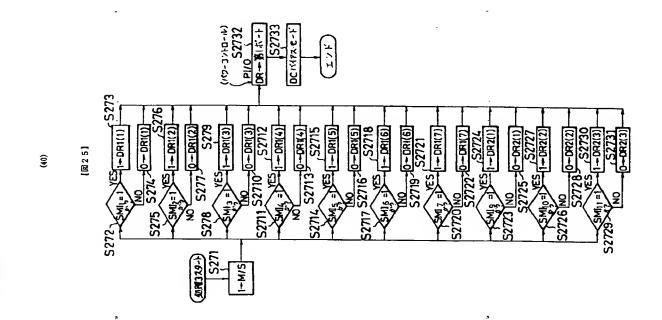


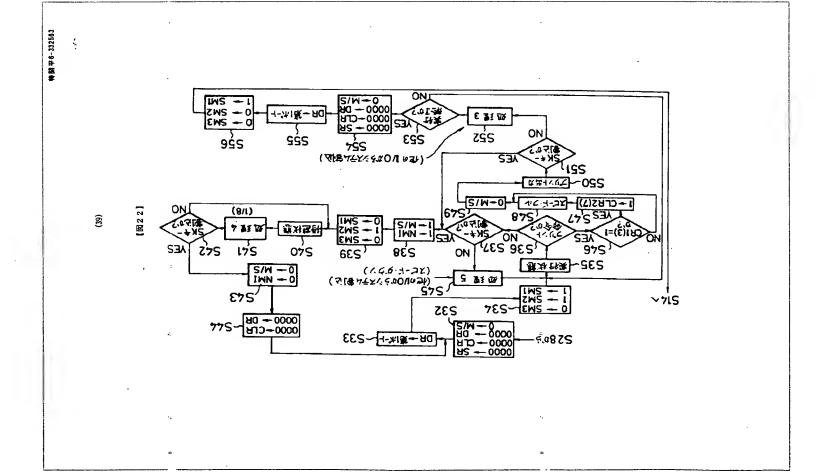


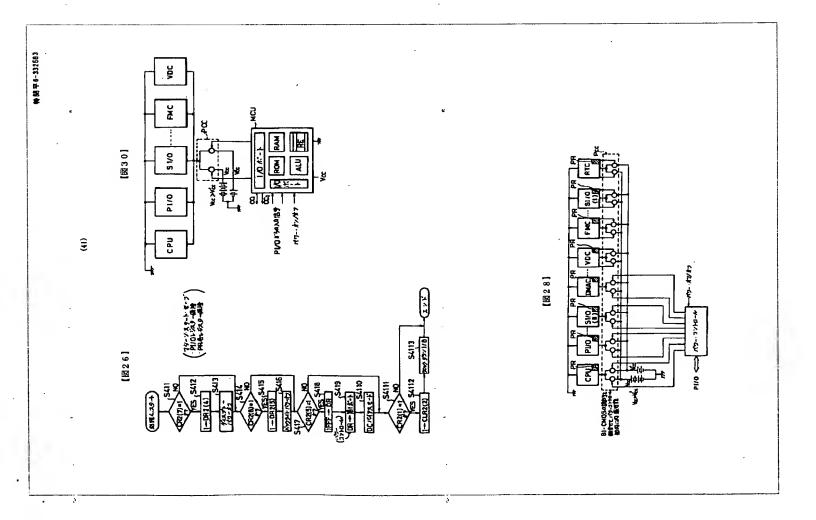












€

202 Ä [数29] ğ [a] 3∉--5 **新華公よる0/1d** 110-11/17 2

Æ 8 M-0446-- CM æ 5 CPU 잃

[提出日] 平成6年5月23日 |手観相正1] 手权和正要

[相正対象都類名] 明細書

[植正対象項目名] 0222 [補正方法] 変更

[福正内容]

[0222] 図19に示すように、CPUや歯の1/0 -CMOSITPCCの各盤子Ai、Biに按钮されてい コントローラにはBi-CMOSが含まれており、Bi 5と共に、CPUや他の1/0コントローラに含まれて に示されるシステムを図18に示すように個別制御部P いる歯腔動物部PRに破綻されている。図32は、図3

|相正対象項目名] 0284 福正対象書類名】明細傳 [植正方法] 愛更

[0284] 図28は、図7の類1実施例と図18の類 助作は第1実施例及び第2実施例にそれぞれ対応してい 2 実施倒を組合わせた構成を示しており、各構成部分や ちので説明を省略する。図33は、図3に示されるシス アムを図28に示すように1部のコンポーネントを個別 **図御部PR自体でパワー刨御をし、他の1部のコンポー** [相正内容]

【補正対象容類名】明細色 [手板補正3]

R自体でパワー制御を行うようにしたものである。

[手統補正2]

倒御を行うようにしたものである。

ネントやア 1 /0のパワーコントロールボートセパワー

4 部 平6-332583

【図33】個別回御師によって分数的にパワーセギージ メントされるシステムのLSI化を示す他のブロック図 【梅正方法】追加 (神田内が) [0305] 図31の構成による動作は、図7の構成に 福正対象項目名】0305 [補正方法] 変更 [本品内物]

で、ここでは説明を省略する。図34は、図3に示され るシステムを図31に示すようにパワーコントロールポ よる動作と多少異なるが、CPU等がそれぞれ個別制御 部PRを持っている図3の構成による動作と同様なの ートでパワー制御を行うようにしたものである。

【補正対象警閲名】明相響 [補正対象項目名] 因34

[手校相正6]

[相正方法] 追加

【常田田内料】

[補正対象整類名] 明細盤 [手校補正4]

[補正対象項目名] 図32 [相正方法] 追加 |相正内容|

メントされるシステムのLSI化を示す他のプロック図

【殴34】個別割物部によって分散的にパワーセネージ

|図32| 歯別動物的によった分散的にパワーをネージ メントされるシステムのLS1化を示すプロック図であ

[植正对象項目名] 図32 【袖正対象整数名】 岡面

[手規補正7]

C\$ 5.

【梅正方法】追加

「お兄兄女】

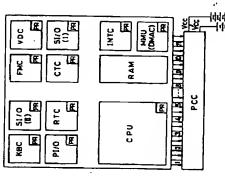
図32

[手板補正5]

[植正対象項目名] 既33

[題31]

[補正対象格類名] 明細管



補正対象項目名】 図33 相正対象容额名】図面

相正内容】

図33

35

相正方法】,追加 手板桶正8

<u>\$</u>

